

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 8日

出 願 番 号

Application Number:

特願2002-325770

[ST.10/C]:

[JP2002-325770]

出 願 人

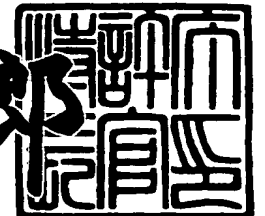
Applicant(s):

沖電気工業株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035401

【書類名】 特許願

【整理番号】 OH003760

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社
社内

 【氏名】 閑野 義則

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の面と、該第 1 の面と対向する第 2 の面と、該第 1 の面から該第 2 の面へと貫通する開口部とを有する基体枠と、

複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面と対向する第 2 の主表面とを有し、前記第 1 の主表面のレベルが前記第 1 の面のレベルと実質的に同一のレベルとなるように、前記開口部内に配置されている半導体チップと

複数の前記電極パッドの一部分を露出させて、前記第 1 の面上及び前記第 1 の主表面上に形成されている絶縁膜と、

前記電極パッドの各々に電氣的に接続されていて、前記電極パッドから前記基体枠の第 1 の面の上側へと導出されている、複数の配線パターンと、

前記配線パターン及び前記絶縁膜上に、該配線パターンの一部分を露出させて形成されている封止部と、

前記基体枠の上側を含む領域の前記配線パターン上に設けられた複数の外部端子と

を具えていることを特徴とする半導体装置。

【請求項 2】 前記外部端子は、前記第 1 の面の上側の領域内に、前記電極パッドの配列間隔よりも広い間隔で配列されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記配線パターンと前記外部端子との間に形成されている複数の電極ポストを具え、

前記封止部は、前記電極ポストの頂面を露出するように形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記半導体チップの第 2 の主表面及び前記基体枠の第 2 の面とを支持する下地を具えていることを特徴とする請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

【請求項 5】 前記基体枠は、前記開口部を画成する内側壁を具え、該内側

壁の厚さは、前記半導体チップに向かって徐々に薄くなっていることを特徴とする請求項 1 ～ 4 のいずれか一項に記載の半導体装置。

【請求項 6】 (1) 下地上に、該下地の半導体チップ配置領域を露出させる、複数の開口部を有する基体枠を、設ける工程と、

(2) 複数の電極パッドが設けられた第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面とを有する半導体チップを準備する工程と、

(3) 前記開口部内に、第 1 の主表面のレベルが前記基体枠の第 1 の面のレベルと実質的に同一のレベルとなるように、かつ前記第 2 の主表面が前記半導体チップ配置領域と対面するように、前記半導体チップを配置する工程と、

(4) 前記基体枠の前記第 1 の面上及び前記第 1 の主表面上に、絶縁膜を、前記電極パッドの一部分を露出するように形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて前記電極パッドから前記基体枠の第 1 の面の上側に導出された、複数の配線パターンを形成する工程と、

(6) 前記配線パターン及び前記絶縁膜上に、封止部を、前記第 1 の面上に位置する該配線パターンの一部分を露出させて形成する工程と、

(7) 前記基体枠の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(8) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 (1) 下地上に、該下地の半導体チップ配置領域を露出させる、複数の開口部を有する基体枠を、設ける工程と、

(2) 複数の電極パッドが設けられた第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面とを有する半導体チップを準備する工程と、

(3) 前記開口部内に、第 1 の主表面のレベルが前記基体枠の第 1 の面のレベルと実質的に同一のレベルとなるように、かつ前記第 2 の主表面が前記半導体チップ配置領域と対面するように、前記半導体チップを配置する工程と、

(4) 前記基体枠の前記第 1 の面上及び前記第 1 の主表面上に、絶縁膜を、前

記電極パッドの一部分を露出するように形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて前記電極パッドから前記基体枠の第1の面の上側に導出された、複数の配線パターンを形成する工程と、

(6) 前記基体枠の上側に位置する前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(7) 前記配線パターン及び前記絶縁膜上に、前記電極ポストの頂面を露出させた封止部を形成する工程と、

(8) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(9) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記外部端子を形成する工程の後に、

前記拡張部の第2の面及び前記第2の主表面から、前記下地を、除去する工程をさらに含むことを特徴とする請求項6又は7に記載の半導体装置の製造方法。

【請求項9】 (1) 複数の凸部及びこれら凸部間に位置する凹部を具えた治具を準備する工程と、

(2) 複数の開口部が形成されていて、第1の面と、該第1の面に対向する第2の面及び該第1の面から該第2の面へと貫通する複数の開口部を有する基体枠を準備する工程と、

(3) 複数の電極パッドが設けられた第1の主表面と、該第1の主表面に対向する第2の主表面とを有する半導体チップを準備する工程と、

(4) 前記第2の面が前記凹部の表面に対面し、かつ前記凸部が前記開口部内に位置するように、前記基体枠を前記治具に載置する工程と、

(5) 前記開口部内の前記凸部上に、前記第1の主表面のレベルが前記基体枠の第1の面のレベルと実質的に同一のレベルとなるように、かつ前記第2の主表面が前記凸部の表面に対面するように、前記半導体チップを配置する工程と、

(6) 前記第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出するように形成する工程と、

(7) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて、前記電極パッドから前記基体枠の第1の面の上側に導出された、複数の配線パターンを形成する工程と、

(8) 前記配線パターン及び前記絶縁膜上に、封止部を、前記第1の面上に位置する該配線パターンの一部分を露出させて形成する工程と、

(9) 前記基体枠の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(10) 複数の前記半導体チップ間を切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9に記載の半導体装置の製造方法において、

前記(4)工程から(9)工程までの間に、前記基体枠を、該凹部に設けられた第1の吸排気系により、吸引保持し、及び

前記(5)工程から前記(9)工程までの間に、前記半導体チップを、該凸部に設けられた第2の吸排気系により、吸引保持することを特徴とする半導体装置の製造方法。

【請求項11】 (1) 複数の凸部及びこれら凸部間に位置する凹部を具えた治具を準備する工程と、

(2) 複数の開口部が形成されていて、第1の面と、該第1の面に対向する第2の面及び該第1の面から該第2の面へと貫通する複数の開口部を有する基体枠を準備する工程と、

(3) 複数の電極パッドが設けられた第1の主表面と、該第1の主表面に対向する第2の主表面とを有する半導体チップを準備する工程と、

(4) 前記第2の面が前記凹部の表面に対面し、かつ前記凸部が前記開口部内に位置するように、前記基体枠を前記治具に載置する工程と、

(5) 前記開口部内の前記凸部上に、前記第1の主表面のレベルが前記基体枠の第1の面のレベルと実質的に同一のレベルとなるように、かつ前記第2の主表面が前記凸部の表面に対面するように、前記半導体チップを配置する工程と、

(6) 前記第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッド

の一部分を露出するように形成する工程と、

(7) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて、前記電極パッドから前記基体枠の第1の面の上側に導出された、複数の配線パターンを形成する工程と、

(8) 前記基体枠の上側に位置する前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(9) 前記配線パターン及び前記絶縁膜上に、前記電極ポストの頂面を露出させた封止部を形成する工程と、

(10) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(11) 複数の前記半導体チップ間を切断して該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項12】 請求項11に記載の半導体装置の製造方法において、

前記(4)工程から(10)工程までの間に、前記基体枠を、該凹部に設けられた第1の吸排気系により、吸引保持し、及び

前記(5)工程から前記(10)工程までの間に、前記半導体チップを、該凸部に設けられた第2の吸排気系により、吸引保持することを特徴とする半導体装置の製造方法。

【請求項13】 第1の面と、該第1の面と対向する第2の面と、該第1の面から該第2の面へと貫通する開口部とを有する基体枠と、

複数の第1の電極パッドを具えている第1の主表面と、該第1の主表面に対向する第2の主表面とを有し、前記第1の主表面のレベルが前記第1の面のレベルと実質的に同一のレベルとなるように前記開口部内に配置されている第1の半導体チップと、

前記第1の電極パッドの一部分を露出させて、前記第1の面上及び前記第1の主表面上に形成されている第1の絶縁膜と、

前記第1の電極パッドの各々に電氣的に接続されていて、前記第1の電極パッドから前記基体枠の第1の面の上側へと導出されている、複数の第1の配線パターンと、

前記第 1 の配線パターン及び前記第 1 の絶縁膜上に、該第 1 の配線パターンの一部分を露出させて形成されている第 1 の封止部と、

前記基体枠の前記第 1 の面上を含む領域の前記第 1 の配線パターン上に設けられた複数の第 1 の外部端子と、

複数の第 2 の電極パッドを具えている第 3 の主表面と、該第 3 の主表面に対向する第 4 の主表面とを有し、前記第 3 の主表面のレベルが前記第 2 の面のレベルと実質的に同一のレベルとなるように前記開口部内に配置されている第 2 の半導体チップと、

前記第 2 の電極パッドの一部分を露出させて、前記第 2 の面上及び前記第 3 の主表面上に形成されている第 2 の絶縁膜と、

前記第 2 の電極パッドの各々に電氣的に接続されていて、前記第 2 の電極パッドから前記基体枠の第 2 の面の上側へと導出されている、複数の第 2 の配線パターンと、

前記第 2 の配線パターン及び前記第 2 の絶縁膜上に、該第 2 の配線パターンの一部分を露出させて形成されている第 2 の封止部と

前記基体枠の前記第 2 の面上を含む領域の前記第 2 の配線パターン上に設けられた複数の第 2 の外部端子と

を具えていることを特徴とする半導体装置。

【請求項 1 4】 前記第 1 及び第 2 の外部端子は、前記第 1 及び第 2 の面上の領域内に、前記第 1 及び第 2 の電極パッドの配置間隔よりも広い間隔で配列されていることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】 前記第 1 の配線パターンと前記第 1 の外部端子との間に設けられている複数の第 1 の電極ポストと、前記第 2 の配線パターンと前記第 2 の外部端子との間に形成されている複数の第 2 の電極ポストとを具え、

前記第 1 の封止部は、前記第 1 の電極ポストの頂面を露出するように形成されており、前記第 2 の封止部は、前記第 2 の電極ポストの頂面を露出するように形成されていることを特徴とする、請求項 1 3 又は 1 4 に記載の半導体装置。

【請求項 1 6】 前記基体枠は、前記開口部を画成する内側壁を具え、該内側壁の厚さは、前記半導体チップに向かって該先端に向かって徐々に薄くなって

いることを特徴とする請求項 1 3 ～ 1 5 のいずれか一項に記載の半導体装置。

【請求項 1 7】 前記基体枠は、前記第 1 の面から前記第 2 の面へと貫通する複数のスルーホールと、

前記スルーホール内に形成されていて、前記第 1 の配線パターン及び前記第 2 の配線パターンを接続する層間結線とを具えていることを特徴とする請求項 1 3 ～ 1 6 のいずれか一項に記載の半導体装置。

【請求項 1 8】 (1) 複数の凸部及びこれら凸部間に位置する凹部を具えた治具を準備する工程と、

(2) 第 1 の面と、該第 1 の面と対向する第 2 の面と、該第 1 の面から該第 2 の面へと貫通する複数の開口部と、該第 1 の面から該第 2 の面へ貫通する複数のスルーホールと、該スルーホール内に形成されている層間結線とを有する基体枠を準備する工程と、

(3) 複数の電極パッドが設けられた第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面とを有する第 1 の半導体チップと、複数の電極パッドが設けられた第 3 の主表面と、該第 3 の主表面に対向する第 4 の主表面とを有する第 2 の半導体チップを準備する工程と

(4) 前記第 2 の面が前記凹部の表面に対面し、かつ前記凸部が前記開口部内に位置するように、基体枠を前記治具に載置する工程と、

(5) 前記開口部内の前記凸部上に、前記第 1 の主表面のレベルが前記基体枠の第 1 の面のレベルと実質的に同一のレベルとなるように、かつ前記第 2 の主表面が前記凸部の表面に対面するように、前記第 1 の半導体チップを配置する工程と、

(6) 前記第 1 の面上及び前記第 1 の主表面上に、第 1 の絶縁膜を、前記第 1 の電極パッドの一部分及び前記層間結線の一端を露出するように形成する工程と、

(7) 前記第 1 の絶縁膜上に、前記第 1 の電極パッドの各々及び前記層間結線の一端に接続されていて、前記第 1 の電極パッドから前記基体枠の第 1 の面の上側へと導出された複数の第 1 の配線パターンを形成する工程と、

(8) 前記第 1 の配線パターン及び前記第 1 の絶縁膜上に、第 1 の封止部を、

前記第 1 の面上に位置する該第 1 の配線パターンの一部分を露出させて形成する工程と、

(9) 前記治具から前記第 1 の半導体チップを含む前記基体枠を取り外して裏返す工程と、

(1 0) 前記開口部内に、前記第 2 の半導体チップを、前記第 3 の主表面のレベルと、前記第 2 の面のレベルとを実質的に同一のレベルとなるように、かつ前記第 4 の主表面が前記凸部の表面に対面するように、前記第 2 の半導体チップを配置する工程と、

(1 1) 前記第 2 の面上及び前記第 3 の主表面上に、第 2 の絶縁膜を、前記第 2 の電極パッドの一部分及び前記層間結線他端を露出するように形成する工程と、

(1 2) 前記第 2 の絶縁膜上に、前記第 2 の電極パッドの各々及び前記層間結線他端に接続されていて、前記第 2 の電極パッドから前記基体枠の第 2 の面上側へと導出された複数の第 2 の配線パターンを形成する工程と、

(1 3) 前記第 2 の配線パターン及び前記第 2 の絶縁膜上に、第 2 の封止部を、前記第 2 の面上に位置する該第 2 の配線パターンの一部分を露出させて形成する工程と、

(1 4) 露出した前記第 1 及び第 2 の電極ポストの頂面上に、第 1 及び第 2 の外部端子を、それぞれ形成する工程と、

(1 5) 複数の前記開口部間を切断して、前記第 1 及び第 2 の半導体チップの積層体を含む半導体装置の個片化を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 9】 前記 (4) 工程から前記 (8) 工程までの間に、前記凹部の表面に、前記基体枠を、該凹部に設けられている第 1 の吸排気系により、吸引保持する工程と、

前記 (5) 工程から前記 (8) 工程までの間に、前記凸部の表面に、前記第 1 の半導体チップを、該凸部に設けられている第 2 の吸排気系により、吸引保持する工程と

をさらに含むことを特徴とする請求項 1 8 に記載の半導体装置の製造方法。

【請求項 2 0】 (1) 複数の凸部及びこれら凸部間に位置する凹部を具えた治具を準備する工程と、

(2) 第 1 の面と、該第 1 の面と対向する第 2 の面と、該第 1 の面から該第 2 の面へと貫通する複数の開口部と、該第 1 の面から該第 2 の面へ貫通する複数のスルーホールと、該スルーホール内に形成されている層間結線とを有する基体枠とを準備する工程と、

(3) 複数の電極パッドが設けられた第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面とを有する第 1 の半導体チップと、複数の電極パッドが設けられた第 3 の主表面と、該第 3 の主表面に対向する第 4 の主表面とを有する第 2 の半導体チップを準備する工程と

(4) 前記第 2 の面が前記凹部の表面に対面し、かつ前記凸部が前記開口部内に位置するように、基体枠を前記治具に載置する工程と、

(5) 前記開口部内の前記凸部上に、前記第 1 の主表面のレベルが前記基体枠の第 1 の面のレベルと実質的に同一のレベルとなるように、かつ前記第 2 の主表面が前記凸部の表面に対面するように、前記第 1 の半導体チップを配置する工程と、

(6) 前記第 1 の面上及び前記第 1 の主表面上に、第 1 の絶縁膜を、前記第 1 の電極パッドの一部分及び前記層間結線の一端を露出するように形成する工程と、

(7) 前記第 1 の絶縁膜上に、前記第 1 の電極パッドの各々及び前記層間結線の一端に接続されていて、前記第 1 の電極パッドから前記基体枠の第 1 の面の上側へと導出された複数の第 1 の配線パターンを形成する工程と、

(8) 前記基体枠の上側に位置する前記配線パターンの一部分上の各々に、複数の第 1 の電極ポストを、形成する工程と、

(9) 前記第 1 の配線パターン及び前記第 1 の絶縁膜上に、前記第 1 の電極ポストの頂面を露出させた第 1 の封止部を形成する工程と、

(10) 前記治具から前記第 1 の半導体チップを含む前記基体枠を取り外して裏返す工程と、

(11) 前記開口部内に、前記第 2 の半導体チップを、前記第 3 の主表面のレ

ベルと、前記第 2 の面のレベルとを実質的に同一のレベルとなるように、かつ前記第 4 の主表面が前記凸部の表面に対面するように、前記第 2 の半導体チップを配置する工程と、

(12) 前記第 2 の面上及び前記第 3 の主表面上に、第 2 の絶縁膜を、前記第 2 の電極パッドの一部分及び前記層間結線他端を露出するように形成する工程と、

(13) 前記第 2 の絶縁膜上に、前記第 2 の電極パッドの各々及び前記層間結線他端に接続されていて、前記第 2 の電極パッドから前記基体枠の第 2 の面上側へと導出された複数の第 2 の配線パターンを形成する工程と、

(14) 前記基体枠の上側に位置する前記第 2 の配線パターンの一部分上の各々に、複数の第 2 の電極ポストを、形成する工程と、

(15) 前記第 2 の配線パターン及び前記第 2 の絶縁膜上に、前記第 2 の電極ポストの頂面を露出させた第 2 の封止部を形成する工程と、

(16) 露出した前記第 1 及び第 2 の電極ポストの頂面上に、第 1 及び第 2 の外部端子を、それぞれ形成する工程と、

(17) 複数の前記開口部間を切断して、前記第 1 及び第 2 の半導体チップの積層体を含む半導体装置の個片化を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 21】 前記(4)工程から前記(9)工程までの間に、前記凹部の表面に、前記基体枠を、該凹部に設けられている第 1 の吸排気系により、吸引保持し、及び

前記(5)工程から前記(9)工程までの間に、前記凸部の表面に、前記第 1 の半導体チップを、該凸部に設けられている第 2 の吸排気系により、吸引保持する

ことを特徴とする請求項 20 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関し、特に外部端子のさらなる増

加に対応するための構成を有する半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、パッケージ化された半導体装置のさらなる小型化、薄型化が要求されている。この要求に応えるために、パッケージ外形サイズが半導体チップの外形サイズと実質的に同一である、ウェハレベルチップサイズパッケージ (Wafer Level Chip Size Package) (以下、単にWCSPとも称する。) と呼ばれるパッケージ形態が提案されている。

【 0 0 0 3 】

WCSPは、半導体チップを含んでいる。この半導体チップは、所定の機能を有する回路素子及びこの回路素子上に電気的に接続されている複数の電極パッドを具えている。半導体チップの表面上には、複数の電極パッドを、露出させるように、絶縁膜が形成されている。

【 0 0 0 4 】

この絶縁膜の表面上には、露出している電極パッドに接続された複数の配線パターンが形成されている。

【 0 0 0 5 】

これらの配線パターン上には、電極ポストが形成されている。そして、この絶縁膜と配線パターンとを覆い、かつ電極ポストの頂面が露出するように封止部が形成されている。

【 0 0 0 6 】

さらに、電極ポストの頂面上には、例えばBGAパッケージの場合には半田ボールとして設けられた、複数の外部端子を具えている。

【 0 0 0 7 】

このようにWCSPは、半導体チップの回路形成面上に相当する領域に、複数の外部電極を、例えば格子状に設ける、いわゆるファンイン構造を有している。

【 0 0 0 8 】

このようなファンイン構造の外部電極を具えている半導体チップを、プリント板上に搭載するにあたり、プリント板と外部電極との接続部における破断の発生

を防止する目的で、電極パッドを有する半導体チップと、半導体チップ上の所定の位置に形成され、電極パッドに接続される配線と、配線上の所定の位置に形成され、配線に接続される外部電極と、外部電極に接続されるプリント板と、半導体チップ上に形成された基板を有していて、基板及びプリント板の熱膨張を整合させるための樹脂層が基板上に設けられている構成、特に外部電極が樹脂層上に設けられている構造をとる半導体装置が知られている（例えば、特許文献 1 参照。）。

【 0 0 0 9 】

さらに、半導体チップの反りを防止しつつ、コンパクト化及び高集積化することを目的として、いわゆるファンイン構造を有する 2 枚の W C S P タイプの半導体装置が、その背面同士を接着層を介して互いに接合されている構成を具えた半導体装置が知られている。

【 0 0 1 0 】

この半導体装置の構成によれば、接合された 2 枚の半導体チップの電子回路形成面側にあたる外側表面には、封止樹脂層が形成されている。封止樹脂層を上下に貫いて導体ポストが形成されていて、この導体ポストは電子回路に、再配線回路を介して電氣的に接続されている。さらに、この導体ポストの頂面には半田バンプが形成されている（例えば、特許文献 2 参照。）。

【 0 0 1 1 】

【特許文献 1】

特開 2000-208556 号公報（特許請求の範囲及び図 5）

【特許文献 2】

特開 2000-277682 号公報（特許請求の範囲及び図 6）

【 0 0 1 2 】

【発明が解決しようとする課題】

半導体装置の高機能化に伴い、1 つのパッケージ化された半導体装置に形成される外部端子の数は、ますます増加する傾向にある。従来、このような外部端子の増加に対する要求には、隣接する外部端子同士の間隔を狭める構成とすることで対応している。外部端子の配置間隔と配置位置とに関しては、以下説明するよ

うに設計の自由度が著しく制限されている。

【 0 0 1 3 】

上述した従来のWCSPは、隣接する外部端子同士の最小間隔は、具体的には0.5mm程度とされている。また、7mm×7mm角のWCSPの場合には、設けられている外部端子の数は160程度である。

【 0 0 1 4 】

パッケージ化された半導体装置のさらなる外部端子の増加に対する要求により、7mm×7mm角のWCSPに300程度の外部端子を設けることが望まれている。

【 0 0 1 5 】

上述したWCSPにおいて、隣接する外部端子同士の間隔をより狭めて、WCSPの表面上により多数の外部電極を形成することは、技術的には不可能ではない。

【 0 0 1 6 】

しかしながら、7mm×7mm角のWCSPの表面積に300個の外部端子を形成することは、かなり困難である。また、外部端子同士の間隔を狭めると、WCSPを実装基板上に実装するためには、極めて高度な技術が必要となる。

【 0 0 1 7 】

例えば、複数の外部端子同士の間隔を、0.3mm～0.7mm程度の範囲で、実装基板の実装ピッチに合わせて形成することが求められる場合もある。

【 0 0 1 8 】

このような場合に、従来のパッケージの構成では、基板上に半導体チップを、いわゆるフリップチップ接続により接続して、当該半導体チップを基板を介して、外部電極と接続するか又はワイヤボンディングにより基板と半導体チップとを接続して、基板を介して外部電極と接続している。いずれの接続手法も基板を使用するため、また、ワイヤのループの高さ分の封止材が余計に必要となるため、パッケージが厚くなってしまう。さらには基板のコストがかかるため、パッケージが高価となってしまふ。特にフリップチップ接続の場合には、より高価なビルドアップ基板が必要となることから、パッケージがより高価なものとなってしま

う。

【 0 0 1 9 】

また、一方、ワイヤボンディングによる接続を行った場合には、ワイヤ部分のインダクタンスが高くなってしまう。

【 0 0 2 0 】

そこで、この発明の目的は、外部端子の配置間隔と配置位置の設計自由度が高まると共に、パッケージ自体のコンパクト化が可能な構成を有する半導体装置を提供することにある。

【 0 0 2 1 】

【課題を解決するための手段】

この目的の達成を図るため、この発明の半導体装置は、下記のような構成上の特徴を有している。すなわちこの発明の半導体装置は、第 1 の面と、この第 1 の面と対向する第 2 の面と、第 1 の面から第 2 の面へと貫通する開口部とを有する基体枠を具えている。

【 0 0 2 2 】

さらに、この発明の半導体装置は、複数の電極パッドを具えている第 1 の主表面と、この第 1 の主表面と対向する第 2 の主表面とを有し、第 1 の主表面のレベル（高さ、以下同じ。）が第 1 の面のレベルと実質的に同一のレベルとなるように、開口部内に配置されている半導体チップを具えている。

【 0 0 2 3 】

また、絶縁膜が、複数の電極パッドの一部分を露出させて、第 1 の面上及び第 1 の主表面上に形成されている。

【 0 0 2 4 】

電極パッドの各々には、複数の配線パターンが電氣的に接続されていて、これらは電極パッドから前記基体枠の第 1 の面の上側へと導出されている。

【 0 0 2 5 】

配線パターン及び絶縁膜上には、封止部が配線パターンの一部分を露出するように形成されている

さらにこの発明の半導体装置は、基体枠の上側を含む領域の配線パターン上に

設けられた複数の外部端子を具えている。

【 0 0 2 6 】

この発明の半導体装置の構成により、半導体チップを囲むように設けられている基体枠の上側（真上）を含む領域にも、外部電極を設けることができる構成としてあるので、外部電極の配置間隔及び配置位置等の設計の自由度を増大させた半導体装置を提供することができる。

【 0 0 2 7 】

また、この発明の半導体装置は、いわゆるWCSPの製造工程を適用することで、基板等のインターポーザを使用しない構成とすることができるので、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。

【 0 0 2 8 】

また、フリップチップ接続との比較では、同等の電気的特性をより安価に得ることができる。

【 0 0 2 9 】

また、この発明の半導体装置の製造方法の主要工程は下記の通りである。

【 0 0 3 0 】

下地上に、半導体チップ配置領域を露出させる、複数の開口部を有する基体枠を、設ける。

【 0 0 3 1 】

複数の電極パッドが設けられた第1の主表面と、この第1の主表面に対向する第2の主表面とを有する半導体チップを準備する。

【 0 0 3 2 】

開口部内に、第1の主表面のレベルが基体枠の第1の面のレベルと実質的に同一のレベルとなるように、かつ第2の主表面が半導体チップ配置領域と対面するように、前記半導体チップを配置する。

【 0 0 3 3 】

基体枠の第1の面上及び第1の主表面上に、絶縁膜を、電極パッドの一部分を露出するように形成する。

【0034】

絶縁膜上に、電極パッドの各々に電氣的に接続されていて電極パッドから基体枠の第1の面の上側に導出された、複数の配線パターンを形成する。

【0035】

配線パターン及び絶縁膜上に、封止部を、第1の面上に位置する配線パターンの一部分を露出させて形成する。

【0036】

基体枠の上側を含む領域の配線パターン上に、複数の外部端子を接続して形成する。

【0037】

複数の半導体チップ間を切断して、半導体チップを含む半導体装置の個片化を行う。

【0038】

この発明の半導体装置の製造方法によれば、より簡易な工程で、高機能化、多機能化及びコンパクト化された半導体装置を提供することができる。特に外部電極の配置間隔及び配置位置等の設計の自由度を極めて大きくすることができる、

【0039】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の一つに過ぎず、従って、何らこれらに限定されない。また、以下の説明に用いる各図において同様の構成成分については、同一の符号を付して示し、その重複する説明を省略する場合もあることを理解されたい。

【0040】

<第1の実施の形態>

図1及び図2を参照して、この発明の第1の実施の形態の半導体装置につき説明する。図1(A)は第1の実施の形態の半導体装置の構成を説明するための上

面からみた概略的な平面図であり、図 1 (B) は、配線パターンと電極ポストとの接続関係を説明するために、図 1 (A) の実線 1 1 で囲んだ一部領域を拡大して示した概略的な要部平面図である。また、図 2 (A) 及び (B) は、図 1 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。なお、図 2 (A) は、この発明の半導体装置 1 0 が、その底面側に下地 1 2 を具えている構成例である。また、図 2 (B) は、下地 1 2 を具えていない構成例である。

【 0 0 4 1 】

この発明の第 1 の実施の形態の半導体装置 1 0 は、下地 1 2 上に、貫通孔である開口部 2 2 を有する基体枠 2 0 を具えている (図 2 (A) 参照。)。この基体枠 2 0 は、一例として、四角形の枠状部であって、好ましくは表面に対応する第 1 の面 2 0 a 及び裏面に対応する第 2 の面 2 0 b を有していて、かつその中央部には、第 1 の面 2 0 a から第 2 の面 2 0 b へと貫通する四角形の開口部 2 2 が形成されている。

【 0 0 4 2 】

この基体枠 2 0 は、例えばガラスエポキシ、又はポリイミド等の有機材料からなる板状体又はシート状体で形成することができる。さらにセラミック基板、金属基板及び S i 基板を含む基板群から、適宜選択した基板で形成することができる。好ましくは、基体枠 2 0 として S i 基板を使用するのがよい。このようにすれば、後に形成される配線パターンの耐熱ストレス特性を向上させることができる。

【 0 0 4 3 】

上述した開口部 2 2 は、基体枠 2 0 を構成している材料に応じて、例えばレーザー加工、パンチング等の機械加工、金型加工等の従来周知の手法により適宜形成することができる。この開口部 2 2 の大きさは、この開口部 2 2 の内側に半導体チップ 3 0 を設けることができる程度に、半導体チップ 3 0 の大きさと実質的に同一又は若干それよりも大きく設定する。開口部 2 2 は、基体枠 2 0 に複数個が格子状に、好ましくはそれぞれ互いに等間隔となるように配置されている。この間隔は、所望の外部端子の数、外部端子同士の間隔及び拡張部 2 1 の面積等を考慮して決定される。

【 0 0 4 4 】

また、この開口部 2 2 内には、半導体チップ 3 0 が嵌め込み等により配置される。従って、半導体チップ 3 0 の側面 3 7 は、基体枠 2 0 によって囲まれていて、半導体チップ 3 0 の表面領域外に、これと隣接する基体枠 2 0 の表面領域が形成されている。この半導体チップ 3 0 は、第 1 の主表面 3 6 と、この第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 と、この第 1 の主表面 3 6 と第 2 の主表面 3 8 との間に存在する 1 又は 2 以上の側面 3 7 を有している。この第 1 の主表面 3 6 のレベルが第 1 の面 2 0 a のレベルと実質的に同一となるようにされる。第 1 の主表面 3 6 は、電極パッド 3 4 を具えている。電極パッド 3 4 は、第 1 の主表面 3 6 の周縁に沿って複数が形成されている。

【 0 0 4 5 】

半導体チップ 3 0 は、第 1 の主表面 3 6 が上面となるように、すなわち第 2 の主表面 3 8 が下地 1 2 の半導体チップ配置領域 1 4 に対面するように、開口部 2 2 内に設けられている。

【 0 0 4 6 】

基体枠 2 0 の第 1 の面 2 0 a 上及び第 1 の主表面 3 6 上には、絶縁膜 4 0 が、複数の電極パッド 3 4 の一部分が露出するように形成されている。

【 0 0 4 7 】

この絶縁膜 4 0 の表面上には、複数の配線パターン 4 2 が、露出している電極パッド 3 4 に電氣的に接続されて形成されている。

【 0 0 4 8 】

これら配線パターン 4 2 及び絶縁膜 4 0 を覆うように半導体チップ 3 0 及び基体枠 2 0 のそれぞれの表面領域上に封止部 4 4 が設けられている。上述の絶縁膜 4 0 と封止部 4 4 を総じて絶縁層 4 8 とも称する。それぞれの配線パターン 4 2 からこの封止部 4 4 を貫通して、この封止部 4 4 の表面に達する電極ポスト 4 6 がそれぞれ設けられている。これら電極ポスト 4 6 の一部は、半導体チップ 3 0 の上側（真上）に設けられており、また、残りの電極ポスト 4 6 は基体枠 2 0 の上側（真上）に設けられている。通常は、これら電極ポスト 4 6 は、一定の間隔で配列させてある。また、各電極ポスト 4 6 の頂面は、封止部 4 4 の表面に露出

している。この電極ポスト46はポスト電極とも称せられ、その露出された頂面には外部端子47が設けられている。外部端子47としては通常、半田ボール47aを設けている。この外部端子47は電極パッド34の配列間隔よりも広い間隔で配列されている。

【0049】

ここで、図1(B)を用いて、電極パッド34と配線パターン42との接続関係につき説明する。これらの接続関係の理解を容易にするために図1(A)の部分領域(実線で囲まれた領域)11を拡大して示してある。配線パターン42は、外部端子47の下部に接続されて位置する電極ポスト(図2に46で示す。)と、対応する電極パッド34とが規則的、かつ電氣的に接続されている。これら配線パターン42を構成する配線として、例えば長配線42a、中配線42b及び短配線42cを設ける。これらの配線42a、42b及び42cを、この順番で、それぞれ対応する電極パッド34に、1つの配線と1つの電極パッドという、1対1の接続関係で、接続してある。

【0050】

この配線パターン42は、半導体チップ30の上側(真上)の領域及び基体枠20の上側(真上)、すなわち拡張部21の領域の境界にまたがるように設けられている。

【0051】

そのため、配線パターン42のうち、この境界上及び境界近傍のある程度の長さの部分領域をより太い、すなわち幅広あるいは肉厚の配線とするのがよい。

【0052】

このように、特にエッジ部効果とか、熱ストレス等により応力が集中しやすいと思われるパターン42の部分領域を太く形成しておくことにより、半導体装置10の動作の信頼性が向上する。

【0053】

この基体枠20の上側(真上)の領域は、外部端子形成領域を半導体チップ30の表面領域外に拡張している意味で拡張部21と称せられる。この構成例では拡張部21にも電極ポスト46が形成されている。

【 0 0 5 4 】

そして、配線パターン 4 2 及び電極ポスト 4 6 を覆うように、封止部 4 4 が形成されている。封止部 4 4 は電極ポスト 4 6 の一部分が露出するように形成されている。

【 0 0 5 5 】

この電極ポスト 4 6 を介して、外部端子 4 7 が形成されている。電極ポストを介さずに、封止部 4 4 から配線パターン 4 2 の一部分を露出させて、直接的に配線パターン 4 2 に外部端子を接続する構成とすることもできる。

【 0 0 5 6 】

この構成例では、外部端子 4 7 を、例えば半田ボール 4 7 a で形成している。これら半田ボール 4 7 a は、電極ポスト 4 6 の頂面と接触して設けられていて、これら電極ポスト 4 6 を介して、配線パターン 4 2 と接続されている。この隣接する電極ポスト 4 6 同士の配列及びその間隔は、例えばプリント基板等への実装を考慮して、所望の配列及び間隔とすることができる。

【 0 0 5 7 】

既に説明したとおり、これら電極ポスト 4 6 は、半導体チップ 3 0 の上側に対応する表面積の範囲のみならず、基体枠 2 0 の上側、すなわち拡張部 2 1 にも設けている。従って、電極ポスト 4 6 の配置位置及び配置間隔の設計の自由度が増す。すなわち、より実装が容易になるように、電極ポスト 4 6、すなわち外部端子 4 7 の配置間隔の制限を緩和して、例えば実装基板側の構成上の要件に沿った、より広い間隔で形成することができる。具体的には基体枠 2 0 の面積を適宜調整することで、適切な配置間隔で、所望の数の外部電極を形成することができる。

【 0 0 5 8 】

この発明の半導体装置 1 0 の構成によれば、半導体チップ 3 0 の真上の領域外の拡張部 2 1 の領域に、外部端子 4 7 を設ける構成としてあるので、半導体装置 1 0 をいわゆるファンアウト構造又は第 1 の主表面 3 6 上の領域にも外部端子 4 7 が形成されているファンイン／ファンアウト構造として構成することが可能である。従って、外部端子 4 7 の配置間隔及び配置位置等の設計の自由度を大きく

することができる。

【 0 0 5 9 】

また、この発明の半導体装置 1 0 は、いわゆる W C S P の製造工程を利用して、基板等のインターポーザを使用せずに半導体チップ 3 0 と外部電極 4 7 とを直接的に接続する構成とすることができるので、上述の効果に加えて、例えばワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、例えばフリップチップ接続との比較では、同等の電気的特性を有する半導体装置 1 0 をより安価に得ることができる。

【 0 0 6 0 】

(第 1 の実施の形態の変形例)

次に、図 3 を参照して、第 1 の実施の形態の半導体装置の変形例につき説明する。なお、上面からみた平面図は図 1 (A) とほぼ同様であるので、その図示及び詳細な説明は省略する。

【 0 0 6 1 】

図 3 (A) 及び図 3 (B) は、図 2 (A) 及び図 2 (B) にそれぞれ対応する変形例の半導体装置 1 0 ' の概略的な断面図である。図 3 (A) は、その底面側に下地 1 2 を具えている構成例である。また、図 3 (B) は、下地 1 2 を具えていない構成例である。

【 0 0 6 2 】

この変形例の半導体装置 1 0 ' は、基体枠 2 0 の開口部 2 2 を画成する周の内側壁 2 4 の形状に特徴を有している。従って、第 1 の実施の形態と同様の他の構成成分については、同一の符号を付して示し、その重複する説明を省略する。

【 0 0 6 3 】

この変形例の半導体装置 1 0 ' においては、基体枠 2 0 の開口部 2 2 を画成する、この例では 4 面の内側壁 2 4 のそれぞれは、基体枠 2 0 側から、開口部 2 2 側、すなわち半導体チップ 3 0 に向かうに従って、4 面それぞれの内側壁 2 4 の厚さが減少して肉薄となるように傾斜した形状、いわゆる楔形形状となっている。

【 0 0 6 4 】

内側壁 2 4 の形状をこのように構成すれば、第 1 の実施の形態で説明した半導体装置の作用効果と同等の作用効果を得ることができる上、後述する説明からも理解できるように、特にこの半導体装置 1 0 ' の製造工程において、有利な効果を得ることができる。

【 0 0 6 5 】

上述の第 1 の実施の形態及び／又は変形例の半導体装置 1 0 及び 1 0 ' を例えば複数個積層してなる積層型半導体装置を構成することもできる。この場合には、例えば従来公知の方法により基体枠にスルーホールを形成して、層間結線を形成して積層された個別の半導体装置の相互接続用の端子を形成すればよい。

【 0 0 6 6 】

(第 1 の実施の形態の第 1 の製造方法)

次に、図 4 (A) ～図 1 0 (B) を参照して、第 1 の実施の形態の半導体装置の第 1 の製造方法につき説明する。

【 0 0 6 7 】

原則として、各図 (A) はこの発明の半導体装置の構成を説明するための概略的な部分的平面図であり、各図の (B) 図は (A) 図の I - I 破線により切断した切断面を示す概略的な断面図である。なお、例外として、図 6 (B) は、図 6 (A) に示した、実線 1 1 で囲まれた部分を拡大して示す拡大図であり、さらに図 7 は、図 6 (A) の I - I 線に沿って切断して示した断面図である。

【 0 0 6 8 】

まず、用意した下地 1 2 上に、複数の半導体チップ 3 0 が載置される半導体チップ配置領域 1 4 を設定する。なお、当然ながら、この半導体チップ配置領域 1 4 の輪郭は、基体枠 2 0 に設けられている開口部 2 2 の輪郭と実質的に一致している。隣接する半導体チップ配置領域 1 4 同士の間隔、従って隣接する開口部 2 2 同士の間隔を、互いに等間隔としておく。この間隔は、後に工程で実施される半導体装置の個片化、すなわち単一化処理に必要な下地のマージン面積、所望の外部端子の数に応じて形成される拡張部の表面領域の面積等を考慮して、十分な間隔とすればよい。

【 0 0 6 9 】

まず、図 4 (A) 及び (B) に示したように、設定された半導体チップ配置領域 1 4 と開口部 2 2 との位置合わせを行って、下地 1 2 上に、基体枠 2 0 を載置する。

【 0 0 7 0 】

ここで下地 1 2 を、例えばガラスエポキシ、又はポリイミド等の有機材料からなる板状体又はシート状体で形成してもよい。あるいはセラミック基板、金属基板及び Si 基板等の基板から、適宜選択した基板で形成することができる。また、下地 1 2 として、好ましくは、その表面の少なくとも基体枠 2 0 が載置される領域に、例えば加熱、紫外線照射その他の何らかの処理により剥離容易な接着手段（図示しない。）を具えるのがよい。

【 0 0 7 1 】

特に、この発明の半導体装置が、下地を有しない構成とされる場合には、後の工程で、基体枠からの例えば剥離等の手法により容易に除去できる下地を選択するのがよい。具体的には例えば日東電工株式会社製の熱剥離シート「リバアルファ（商品名）」、三井化学株式会社製の耐熱型イクロステープ（商品名）又は S P シリーズ（商品名）等を剥離が可能な下地として用いることができる。さらには表面上に接着手段として例えば紫外線硬化型粘着材等が塗布されているガラス基板等も下地として適用して好適である。

【 0 0 7 2 】

下地 1 2 上に載置された基体枠 2 0 は、下地 1 2 の表面に設けられた接着手段により接着されて保持される。

【 0 0 7 3 】

このようにして下地 1 2 上に予め設定された半導体チップ配置領域 1 4 は、基体枠 2 0 に形成されている開口部 2 2 から露出される。

【 0 0 7 4 】

次に、図 5 (A) 及び図 5 (B) に示したように、この開口部 2 2 内に露出されている半導体チップ配置領域 1 4 上に、半導体チップ 3 0 を配置する。

【 0 0 7 5 】

好ましくは、この半導体チップ配置領域 1 4 上にも何らかの接着手段を設けておくのがよい。そしてこの接着手段により半導体チップ 3 0 を半導体チップ配置領域 1 4 上に接着保持するのがよい。

【 0 0 7 6 】

ここで、基体枠 2 0 の第 1 の面 2 0 a の高さ、すなわち厚さ d 2 と、開口部 2 2 内に設けられた半導体チップ 3 0 の表面の高さ、すなわち厚さ d 1 とは、一致させるのが好ましい。しかしながら、基体枠 2 0 の第 1 の面 2 0 a と半導体チップ 3 0 の第 1 の主表面 3 6 の上側に配線パターンを、配線切れ等を生じる恐れなくして、形成できる高低差の範囲であれば、双方の表面間に若干の段差が存在していてもよい。

【 0 0 7 7 】

このとき、図 3 を用いて既に説明したような、基体枠 2 0 の開口部 2 2 の内側壁 2 4 の断面形状が傾斜を有するいわゆる楔形状となっている場合、この内側壁 2 4 の表面が傾斜を有するため、半導体チップ 3 0 を、この内側壁 2 4 の傾斜に沿って、その表面を滑らせることで、開口部 2 2 内の所望の位置に、よりスムーズかつ容易に配置することができる。

【 0 0 7 8 】

半導体チップ 3 0 は、第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 を有している。この半導体チップ 3 0 には、所定の機能を有する回路素子が形成されている（図示しない。）。そして、第 1 の主表面 3 6 には、この回路素子と電氣的に接続されている電極パッド 3 4 が設けられている。電極パッド 3 4 は、第 1 の主表面 3 6 の周縁に沿って配列するように設けられている。

【 0 0 7 9 】

上述した半導体チップ 3 0 は、その第 2 の主表面 3 8 が半導体チップ配置領域 1 4 において下地 1 2 と対面するように、開口部 2 2 内に、例えば嵌め込まれて設けられる。このとき第 2 の主表面 3 8 は、半導体チップ領域 1 4 表面に接着手段が設けられている場合には、これにより接着されて保持される。

【 0 0 8 0 】

次いで、基体枠 2 0 の第 1 の面 2 0 a 上及び第 1 の主表面 3 6 上に、絶縁膜 4

0を形成する。この絶縁膜40は、半導体チップ30の電極パッド34の少なくとも一部分が露出するように、形成される。

【0081】

このとき、一旦、電極パッド34を覆うように絶縁膜40を形成した後、例えばフォトリソグラフィ法等を用いて、電極パッド34の頂面を露出させる工程としてもよい。

【0082】

また、上述したように基体枠20の表面と、半導体チップ30の第1の主表面36とに段差が生じる場合や、基体枠20の内側壁24の表面が、上述したような傾斜を有する場合がある。このような場合には、絶縁膜40用の絶縁材料により、後の工程で、配線パターンが形成できる程度に、この段差を緩和するか、又は絶縁膜40の表面を実質的に平坦に形成することもできる。

【0083】

この絶縁膜40の形成は、適切な絶縁性材料を用いて、基体枠20の材質に応じた好適な方法、例えばスピニングコート法、印刷法又は直接塗布法等といういずれかの従来公知の手法により、行える。

【0084】

このとき、基体枠20と半導体チップ30との間に間隙が生じる場合には、この間隙に絶縁材料が入り込んで、基体枠20と半導体チップ30とは固着されて一体とされる。

【0085】

然る後、図6及び図7に示すように、この絶縁膜40の表面上に、複数の配線パターン42を形成する。これら配線パターン42の形成は、絶縁膜40の表面上に、それぞれの配線パターン42が対応する電極パッド34に電氣的に接続するように設定してから、形成されるべき外部端子の配置を考慮して行う。

【0086】

具体的には適用可能な配線プロセスルールに従って、配線幅、配線間隔及び最適角度等を決定して、可能な限り最短距離となるように接続する。例えば図示したように半導体チップ30の周縁に沿って形成されている複数の電極パッド34

に対して、原則として最短距離となるように、長配線 4 2 a、中配線 4 2 b 及び短配線 4 2 c を一組とする配線パターン群を複数組形成し、一方の端部をそれぞれ対応する電極パッド 3 4 に接続する。そして、他方の端部には、電極ポスト搭載用のパッドが形成されていて、電極ポストを介して外部端子 4 7（半田ボール 4 7 a）が接続される。

【 0 0 8 7 】

なお、図 5（A）及び図 6（A）に示す構成例においては、電極パッド 3 4 の配置数は、実際よりも少ない数として図示してある。

【 0 0 8 8 】

この配線パターン 4 2 の形成は、絶縁膜 4 0 の表面領域のうち、基体枠 2 0 の上側（真上）に相当する領域、すなわち拡張部 2 1 を含む絶縁膜 4 0 上の所望の領域に、従来公知の W C S P の製造工程におけるスパッタ工程及びフォトリソグラフィ工程等の配線パターンの形成プロセスにより、行うことができる。

【 0 0 8 9 】

配線パターン 4 2 の形成材料は、任意好適な材料を選択できるが、例えばアルミニウム、銅及び金属合金等の材料により形成するのがよい。

【 0 0 9 0 】

この配線パターン 4 2 の形成工程において、この配線パターン 4 2 に、上述した段差に基因する応力が集中すると想定される場合には、この応力が集中する配線パターン 4 2 の部分を実質的に含む配線パターン 4 2 の領域を若干太く、すなわち幅広または肉厚に形成してもよい。

【 0 0 9 1 】

次いで、図 8（A）及び（B）に示したように、各配線パターン 4 2 の表面上に、これらと電氣的に接続される電極ポストをそれぞれ形成する。これら電極ポスト 4 6 を基体枠 2 0 の上側（真上）の拡張部 2 1 の表面領域と、半導体チップ 3 0 の上側（真上）の拡張部 2 1 に近い領域とに設ける。これら電極ポスト 4 6 を、格子状に所定の間隔で配列するように形成する。この間隔は、上述したように実装を考慮した間隔、すなわち一定な、或いは不規則の間隔とすることができる。

【 0 0 9 2 】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、材料を適宜選択して、行うことができる。

【 0 0 9 3 】

さらに配線パターン 4 2 及び電極ポスト 4 6 が形成されている絶縁膜 4 0 の表面上を覆うように、封止部 4 4 を形成する。電極ポスト 4 6 を介さずに外部端子を形成する場合には、外部端子を形成する位置に配線パターン 4 2 の一部分が露出するように封止部 4 4 を形成すればよい。

【 0 0 9 4 】

この封止工程は、従来公知の方法により、従来公知の封止材料を使用して実施することができる。

【 0 0 9 5 】

然る後、図 9 (A) 及び (B) に示したように、封止部 4 4 をその表面側から削り取って、電極ポスト 4 6 の頂面 (上面とも称する。) を、露出させる。

【 0 0 9 6 】

この工程は、従来公知の研削や、研磨工程を適用して行う。

【 0 0 9 7 】

また、封止部 4 4 の形成に、フィルム成形等の方法を適用することもできる。その場合には、電極ポスト 4 6 に実質的に負荷をかけることがない。また、その場合には、上述した封止部 4 4 に対する研削工程を要せずに電極ポスト 4 6 の頂面を封止部 4 4 の表面に露出するように直接的に形成する。

【 0 0 9 8 】

電極ポスト 4 6 の露出した頂面に対して設計上必要な任意好適な処理を行ってもよい。例えば電極ポスト 4 6 の材料を銅とした場合には、電極ポスト 4 6 の頂面にバリアメタル層として、薄い N i (ニッケル) 膜を形成すること等してもよい。

【 0 0 9 9 】

次いで、封止部 4 4 の表面から露出している電極ポスト 4 6 を介してその上面

に、外部端子 4 7 として例えば半田ボール 4 7 a を形成する。

【 0 1 0 0 】

次いで、図 1 0 (A) 及び (B) に示したように、一点破線 a で示した切断線に沿って、複数の半導体チップ同士の間を切断して、所定の機能を発揮する単一の半導体装置を含む構造体として個片化する。

【 0 1 0 1 】

この個片化工程は、好ましくは高速回転するブレードにより、切削することにより行うのがよい。

【 0 1 0 2 】

次に、個片化された構造体の基体枠 2 0 の第 2 の面 2 0 b 及び半導体チップ 3 0 の第 2 の主表面 3 8 から、これらに接着保持されている下地 1 2 を、剥離して除去する。

【 0 1 0 3 】

下地 1 2 上に上述したような剥離可能な接着手段を具えるか、又は剥離可能な接着手段を設けて、製造工程を実施した場合には、この接着手段に応じた処理、例えば加熱、温水による処理、又は紫外線照射等の処理により、下地 1 2 の剥離工程を行うのがよい。具体的には、例えば下地 1 2 として熱剥離シートを適用した場合には、その接着手段に対して所定の温度で加熱を行うことにより、下地 1 2 を剥離することができる。また、例えば接着手段として紫外線照射型粘着材を適用した場合には、紫外線照射により、その粘着材を硬化することで、下地 1 2 の剥離を行うことができる。

【 0 1 0 4 】

この剥離工程は、電極ポスト 4 6 の形成工程後、封止工程後又は個片化工程後のいずれのタイミングでも実施することができるが、拡張部 2 1 の機械的強度等を考慮して、好ましくは封止工程終了後に行うのがよい。

【 0 1 0 5 】

上述した構成例においては、半導体チップ 3 0 を 2 行×X 列 (X は 2 以上の正数) の格子状に配列させて半導体装置を製造する例につき説明したが、この配列に何ら限定されるものではなく、半導体チップを設計事項に応じた任意好適な行

列配列として設けて、半導体装置を多数同時に製造することもできる。

【0106】

このように、第1の製造方法によれば、いわゆるWCSPの製造工程を適用できるので、半導体装置を製造するための特別な工程を使用することなく、この実施の形態の半導体装置を簡易な工程で製造することができる。

【0107】

(第1の実施の形態の第2の製造方法)

次に、図11(A)～図13(B)を参照して、第1の実施の形態の半導体装置の第2の製造方法につき説明する。なお、後述する製造工程において、適用される材料、工程の実施条件等は第1の方法と同様であるので、その詳細な説明は省略する。

【0108】

この第2の製造方法では、上述の第1の製造方法で説明した下地1、2の代わりに、治具を使用して、各工程を実施することを特徴としている。

【0109】

ここで、まずこの第2の製造方法に適用して好適な治具の構成につき、図11を参照して説明する。

【0110】

図11(A)は、この発明の半導体装置の製造方法に適用して好適な治具の構成を説明するための概略的な部分的平面図であり、図11(B)は図11(A)のI-I破線により切断した切断面を概略的に示す図である。

【0111】

この治具50は、製造過程において、構成要素の保持をしたり、あるいは心合わせするための工具である。この構成例では、この治具50は、複数の凸部52と、これらの凸部52同士の間隙に位置する凹部54とを具えた台座である。凸部52の形状は、ここでは一例として直方体としてある。この凸部52の表面(以下、頂面と称する場合もある。)の輪郭形状と表面積は、半導体チップ30の第2の主表面38の面積と実質的に同一の面積としてある。また、凸部52の高さ、すなわち側壁部52aの高さhは、基体枠20を治具50上に固定し、かつ

凸部 5 2 の表面上に半導体チップ 3 0 を載置したとき、半導体チップ 3 0 の第 1 の主表面 3 6 と、基体枠 2 0 の第 1 の面 2 0 a が段差のない平坦な面を形成する程度の高さに設定するのがよい。上述したように、半導体チップ 3 0 と基体枠 2 0 との間に若干の段差が存在したとしても、後で形成される配線パターンに、断線等を生じる恐れがない程度の範囲の大きさの段差であれば、特に問題ない。

【 0 1 1 2 】

治具 5 0 は、基体枠 2 0 及び／又は半導体チップ 3 0 に対する接着性の低い、金属又はセラミック等の材料により構成するか、又はこれらに対して接着性の低いテフロン（登録商標）等を被膜した材料により適宜構成するのがよい。このようにすれば、半導体装置又は製造中途の構造体を、治具 5 0 から容易に剥離できる。

【 0 1 1 3 】

この治具 5 0 には、好ましくは凹部 5 4 に第 1 の貫通孔 5 6 を形成しておくのがよい。そして、この第 1 の貫通孔 5 6 には基体枠 2 0 を凹部 5 4 に吸引保持するための第 1 の吸排気系 5 8 を接続する構成とするのがよい。図中、この吸排気系をブロックで示してある。

【 0 1 1 4 】

また、好ましくは凸部 5 2 にも同様に、第 2 の貫通孔 5 7 を形成しておくのがよい。そして、この第 2 の貫通孔 5 7 には半導体チップ 3 0 を凸部 5 2 に吸引保持するための第 2 の吸排気系 5 9 を接続する構成とするのがよい。図中、この吸排気系をブロックで示してある。

【 0 1 1 5 】

この第 1 及び第 2 の吸排気系 5 6 及び 5 8 は、従来公知の例えば真空ポンプ、配管等を含む真空排気系で構成することができる。

【 0 1 1 6 】

次に、この治具 5 0 を用いた第 1 の実施の形態の半導体装置の第 2 の製造方法につき、図 1 2 及び図 1 3 を参照して説明する。

【 0 1 1 7 】

なお、この第 2 の製造方法においては、基体枠に対する半導体チップの配列構

造は、第 1 の製造方法と同様であるとする。

【0 1 1 8】

予め、図 1 1 を参照して、既に説明した、治具 5 0 を準備しておく。

【0 1 1 9】

そして、図 1 2 (A) に示したように、治具 5 0 の凹部 5 4 の底面上に、凸部 5 2 の側壁部 5 2 a を囲み、かつ凸部 5 2 の表面を開口部 2 2 に露出させるように、基体枠 2 0 を、載置する。

【0 1 2 0】

ここで、上述したように、治具 5 0 の凹部 5 4 に第 1 の貫通孔 5 6 を設け、この貫通孔 5 6 に第 1 の吸排気系 5 8 を接続してある場合には、基体枠 2 0 の第 2 の面 2 0 b と凹部 5 4 の表面との接触面（間隙）を真空引きして基体枠 2 0 を治具 5 0 に吸引保持する。

【0 1 2 1】

次いで、図 1 2 (B) に示したように基体枠 2 0 の開口部 2 2 内であって、凸部 5 2 上に、半導体チップ 3 0 の第 2 の主表面 3 8 を、凸部 5 2 の表面に対面させて配置する。

【0 1 2 2】

このとき、図 3 を参照して既に説明したように、基体枠 2 0 の開口部 2 2 の内側壁 2 4 が半導体装置 3 0 に向かうに従って先細、すなわち肉薄となるように、内側壁 2 4 が傾斜面を有する場合には、この傾斜面に沿って滑らせるようにして半導体チップ 3 0 を配置する。

【0 1 2 3】

上述したように、凸部 5 2 に第 2 の貫通孔 5 7 を設け、この貫通孔 5 7 に第 2 の吸排気系 5 9 を接続させてある場合には、半導体チップ 3 0 の第 2 の主表面 3 8 と凸部 5 2 の表面との接触面を真空引きして、半導体チップ 3 0 を治具 5 0 に吸引保持する。

【0 1 2 4】

基体枠 2 0 又は半導体チップ 3 0 を、治具 5 0 上に、吸引保持するための真空の程度は、基体枠 2 0 又は半導体チップ 3 0 を安定に保持できる程度であればよ

い。

【0 1 2 5】

次に、治具 5 0 上に配置されている基体枠 2 0 の表面上及び半導体チップ 3 0 の第 1 の主表面 3 6 上に、絶縁膜 4 0 を、半導体チップ 3 0 が具えている電極パッド 3 4 の頂面を露出させるようにして形成する（図 1 2 （B））。

【0 1 2 6】

このとき、第 1 の方法で説明したように、一旦、電極パッド 3 4 を覆うように絶縁膜 4 0 を形成した後、電極パッド 3 4 の頂面を露出させるような工程としてもよい。好ましくは絶縁膜 4 0 を平坦に形成するのがよいのは同様である。

【0 1 2 7】

基体枠 2 0 と半導体チップ 3 0 との間に若干の間隙が存在する場合には、この間隙に絶縁膜 4 0 を形成するための絶縁材料が入り込んで基体枠 2 0 と半導体チップ 3 0 とを一体に固着するように、絶縁膜 4 0 を形成する。

【0 1 2 8】

次いで、図 1 2 （C）に示したように、絶縁膜 4 0 の表面上に、複数の配線パターン 4 2 を、それぞれの電極パッド 3 4 の頂面と電氣的に接続するように形成する。この場合、第 1 の製造方法と同様に 1 つの配線パターンは 1 つの電極パッド 3 4 と 1 対 1 の関係で接続する。

【0 1 2 9】

然る後、各配線パターン 4 2 に 1 つの割合で電極ポスト 4 6 を接続形成する。この電極ポスト 4 6 は、基体枠 2 0 の上側（真上）の拡張部 2 1 の領域と、この拡張部 2 1 に近接した、半導体チップ 3 0 の上側（真上）の領域とに設けられる。

【0 1 3 0】

次に、図 1 3 （A）に示したように、配線パターン 4 2 及び電極ポスト 4 6 が形成されている絶縁膜 4 0 の表面上を覆う封止部 4 4 を形成する。

【0 1 3 1】

さらに図 1 3 （B）に示したように、封止部 4 4 の表面に、電極ポスト 4 6 の頂面を、封止部 4 4 の表面を削り取って露出させる。

【 0 1 3 2 】

次に、露出している電極ポスト 4 6 の頂面に、外部端子 4 7 として半田ボール 4 7 a を、形成する。

【 0 1 3 3 】

次いで、図 1 3 (C) に示したように、基体枠 2 0 の第 2 の面 2 0 b 及び半導体チップ 3 0 の第 2 の主表面 3 8 から、治具 5 0 を、真空吸引手段が用いられている場合には真空を解除した後、剥離する。

【 0 1 3 4 】

然る後、複数の半導体チップ 3 0 間にある基体枠 2 0 及び封止部 4 4 を切削して個片化する。

【 0 1 3 5 】

このような工程により、第 1 の製造方法で説明したと同様の構成を具えている半導体装置が製造される。

【 0 1 3 6 】

なお、この第 2 の製造方法により製造される半導体装置は、底面側、すなわち基体枠 2 0 の第 2 の面 2 0 b と第 2 の主表面 3 8 との間に、治具 5 0 の凸部 5 2 による段差が生じるが、特に所望でない限り、さらなる処理工程は必要ない。

【 0 1 3 7 】

この第 2 の製造方法によれば、治具は、繰り返して使用することができる。このように、第 1 の製造方法のように下地を使用する必要がないので、製造工程に必要な部材を削減することができる。従って、製造コストの削減が期待される。また、貫通孔を介した吸排気系により、基体枠及び／又は半導体チップを吸着保持する構成とする場合には、さらに基体枠及び半導体チップの治具への保持及び剥離が容易かつ迅速に行うことができるので、スループットの向上が期待される。

【 0 1 3 8 】

< 第 2 の実施の形態 >

図 1 4 (A) 及び図 1 4 (B) 、並びに図 1 5 (A) を参照して、この発明の第 2 の実施の形態の半導体装置につき説明する。なお、この第 2 の実施の形態の

説明において、上面から見た平面図は、既に説明した第 1 の実施の形態の平面図とほぼ同様であるので、断面図のみによって説明するものとし、平面図の説明は省略する。さらに、適用される材料、工程の実施条件等は第 1 の実施の形態の場合と同様であるのでその詳細な説明は省略する。

【 0 1 3 9 】

図 1 4 (A) は、第 2 の実施の形態の半導体装置の構成を説明するための概略的な平面図であり、図 1 4 (B) は、配線パターンと電極パッド及び層間結線（スルーホール）との接続関係を説明するために、図 1 4 (A) の実線 1 1 で囲んだ一部領域を拡大して示した概略的な要部平面図である。

【 0 1 4 0 】

図 1 5 (A) は第 2 の実施の形態の半導体装置の構成を説明するための断面図であり、図 1 4 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。

【 0 1 4 1 】

この発明の第 2 の実施の形態の半導体装置 1 0 は、第 1 の実施の形態の場合と同様に第 1 の面 2 0 a から第 2 の面 2 0 b へ貫通する貫通孔である開口部 2 2 を有する基体枠 2 0 を含んでいる。この基体枠 2 0 の第 1 の面 2 0 a の上側及び第 2 の面 2 0 b の上側に相当する領域が拡張部 2 1 となる。

【 0 1 4 2 】

基体枠 2 0 には貫通孔である開口部 2 2 が形成されている。この開口部 2 2 の大きさは、第 1 の半導体チップ 3 0 及び第 2 の半導体チップ 6 0 の積層体が設けられる程度に、同一又は若干大きめに設定して形成されている。開口部 2 2 の高さ、すなわち基体枠 2 0 の厚さは、第 1 及び第 2 の半導体チップ 3 0 及び 6 0 を積み重ねた厚みと実質的に等しくするのがよい。例えば第 1 及び第 2 の半導体チップ 3 0 及び 6 0 が接着材等により互いに接着される場合には、第 1 の半導体チップ 3 0 及び／又は第 2 の半導体チップ 6 0 の厚さを、研磨又は研削等によって調節するのがよい。しかしながら、基体枠 2 0 の厚さを調整することが可能な場合には、開口部 2 2 の高さは、後にこの開口部 2 2 内に設けられる第 1 の半導体チップ 3 0 及び第 2 の半導体チップ 6 0 の重ね合わせた厚さと等しく設定すれば

よい。さらに第 1 の半導体チップ 3 0 と第 2 の半導体チップ 6 0 とが互いに接着材により接着される構成の場合には、この接着材の厚さも考慮して、開口部 2 2 の高さ、すなわち基体枠 2 0 の厚さを設定すればよい。

【 0 1 4 3 】

基体枠 2 0 には、開口部 2 2 とは別に、所望によりスルーホール 2 6 が形成されていてもよい。このスルーホール 2 6 は、基体枠 2 0 の表面側と裏面側の電氣的導通を取るために設けてある。この構成例では、基体枠 2 0 の周縁に沿うように複数個を形成してある。

【 0 1 4 4 】

スルーホール 2 6 の内部は、例えばアルミニウム合金及びタングステン合金等の適宜の導電性材料により、常法に従って導通を取るための層間結線 2 8 を形成しておく。

【 0 1 4 5 】

開口部 2 2 内には、第 1 の半導体チップ 3 0 及び第 2 の半導体チップ 6 0 が、それぞれの第 2 の主表面 3 8 及び第 4 の主表面 6 8 を互いに接するように設けられている。

【 0 1 4 6 】

第 1 の半導体チップ 3 0 は、所定の機能を有する第 1 の回路素子（図示せず。）と、この第 1 の回路素子と電氣的に接続されている、複数の第 1 の電極パッド 3 4 を具えている第 1 の主表面 3 6 とを具えている。第 1 の電極パッド 3 4 は、第 1 の主表面 3 6 の周縁に沿って、複数個が設けられている。また、第 1 の半導体チップ 3 0 は、第 1 の主表面 3 6 と、この第 1 の主表面 3 6 に対向する第 2 の主表面 3 8 と、第 1 の主表面 3 6 と第 2 の主表面 3 8 との間に存在する 1 又は 2 以上の側面 3 7 を有している。第 1 の半導体チップ 3 0 は、第 1 の主表面 3 6 が上面となるように開口部 2 2 内に設けられている。この第 1 の半導体チップ 3 0 は、第 1 の実施の形態と同様に、好ましくは基体枠 2 0 の第 1 の面 2 0 a のレベルと第 1 の半導体チップ 3 0 の第 1 の主表面 3 6 のレベルとが実質的に同一のレベルとなるように、開口部 2 2 内に設けるのがよい。

【 0 1 4 7 】

同様に、第2の半導体チップ60は、所定の機能を有する第2の回路素子（図示せず。）、第3の主表面66と、この第3の主表面66に対向する第4の主表面68と、第3の主表面66と第4の主表面68との間に存在する1又は2以上の側面67を有している。そして、この第2の半導体チップ60は、第2の回路素子と電氣的に接続されている複数の第2の電極パッド64を具えている。この第2の電極パッド64は、第3の主表面66の周縁に沿って複数個が設けられている。

【0148】

第2の半導体チップ60は、その第3の主表面66が下側に向くようにして、基体枠20の第2の面20bのレベルと第2の半導体チップ60の第3の主表面66のレベルとが、実質的に同一のレベルとなるように、開口部22内に設けられている。ここで、第1の半導体チップ30の第2の主表面38と第2の半導体チップ60の第4の主表面68とは互いに接着材等により接着して固定する構成とするのがよい。

【0149】

基体枠20の第1の面20a及び第1の半導体チップ30の第1の主表面36上には、第1の絶縁膜40が、第1の電極パッド34の一部分及び層間結線28の一方の端部を露出させるようにして、形成されている。

【0150】

同様に、基体枠20の第2の面20b及び第2の半導体チップ60の第3の主表面66上には、第2の絶縁膜70が、第2の電極パッド64の一部分及び層間結線28の他方の端部を露出させるようにして、形成されている。

【0151】

第1の絶縁膜40の表面上には、複数の第1の配線パターン42が、露出している第1の電極パッド34の一部分及び／又は層間結線28の一方の端部に電氣的に接続されて形成されている。

【0152】

同様に、第2の絶縁膜70の表面上には、複数の第2の配線パターン72が、露出している第2の電極パッド64の一部分及び／又は層間結線28の他方の端

部に電氣的に接続されて形成されている。

【 0 1 5 3 】

これら第 1 の配線パターン 4 2 は、第 1 の半導体チップ 3 0 上の領域及び基体 2 0 の第 1 の面 2 0 a 上の領域の境界にまたがるように設けられている。

【 0 1 5 4 】

同様に、第 2 の配線パターン 7 2 は、第 2 の半導体チップ 6 0 上の領域及び基体 2 0 の第 2 の面 2 0 b 上の領域の境界にまたがるように設けられている。

【 0 1 5 5 】

上述したように、これら第 1 又は第 2 の配線パターン 4 2 又は 7 2 において、これらは、基体 2 0 の第 1 の面 2 0 a 又は第 2 の面 2 0 b の上側（真上）の領域と第 1 又は第 2 の半導体チップ 3 0 又は 6 0 の第 1 の主表面 3 6 又は第 3 の主表面 6 6 の上側（真上）の領域の境界とにそれぞれまたがって形成されるので、境界とその境界近傍の第 1 及び第 2 の配線パターン 4 2 及び 7 2 の部分領域を、ある程度の長さにわたって、より太い配線とするのがよい。

【 0 1 5 6 】

このとき、層間結線 2 8 が存在する場合には、その一方の端部が第 1 の配線パターン 4 2 に、及びその他方の端部が第 2 の配線パターン 7 2 に、それぞれ電氣的に接続される。すなわち第 1 の半導体チップ 3 0 の出力信号を半導体装置 1 0 の裏面（下面）側に、そして第 2 の半導体チップ 6 0 の出力信号を半導体装置 1 0 の表面（上面）側にそれぞれ出力することができる。例えば、第 2 の半導体チップ 6 0 の出力信号を、第 1 の配線パターン 4 2 を介して、第 1 の半導体チップ 3 0 に入力することもできる。

【 0 1 5 7 】

第 1 及び第 2 の配線パターン 4 2 及び 7 2 が形成されている第 1 及び第 2 の絶縁膜 4 0 及び 7 0 の表面上には、第 1 及び第 2 の封止部 4 4 及び 7 4 が、第 1 及び第 2 の配線パターン 4 2 及び 7 2 の一部分を露出するように形成されている。この第 1 の絶縁膜 4 0 と第 1 の封止部 4 4 とを総じて第 1 の絶縁層 4 8 と称し、第 2 の絶縁膜 7 0 と第 2 の封止部 7 4 とを総じて第 2 の絶縁層 7 8 と称する。このとき層間結線 2 8 に接続されている第 1 及び第 2 の配線パターン 4 2 及び 7 2

の一部を露出する構成としてもよい。

【0158】

そして、露出している第1及び第2の配線パターン42及び72上であって、基体枠20の第1の面20a及び第2の面20bの上側（真上）、すなわち拡張部21を含む領域には、第1及び第2の外部端子47及び77が接続されている。

【0159】

例えば第1及び第2の電極ポスト46及び76を介して、それぞれ、第1及び第2の半田ボール47a及び77aとして、複数の第1及び第2の外部端子47及び77が形成されている。

【0160】

このとき、層間結線28に接続されている第1及び第2の配線パターン42及び72上に、外部端子を接続する構成としてもよい。例えば第1の電極パッド34に接続されている第1の配線パターン42を外部端子に接続することなく、層間結線28に接続し、この層間結線28を介して、第2の電極パッド64に接続されていない第2の配線パターン72を介して、この第2の配線パターン72上に外部端子を形成する構成とすることもできる。また、層間結線（スルーホール）28上に直接的に外部端子を接続する構成としてもよい。

【0161】

隣接する第1の電極ポスト46同士及び隣接する第2の電極ポスト76同士の間隔は、例えばプリント基板等への実装を考慮して、適宜所望の間隔とすることができる。

【0162】

この第1及び第2の電極ポスト46及び76は、第1及び第2の半導体チップ30及び60の第1及び第3の主表面36及び66上に対応する面積の範囲のみならず、基体枠20の第1の面20a及び第2の面20b上を含む領域、すなわち拡張部21にも設けることができる。従って、第1及び第2の電極ポスト46及び76の配置位置及び配置間隔の設計の自由度が増す。すなわち、半導体装置10の実装基板への実装がより容易になるように、第1及び第2の電極ポスト4

6 及び 7 6、すなわち第 1 及び第 2 の外部端子 4 7 及び 7 7 の配置間隔の制限を緩和して、例えば実装基板側の要求に沿った、より広い間隔で形成することができる。

【 0 1 6 3 】

この第 2 の実施の形態の半導体装置によれば、第 1 の実施の形態と同様の効果に加え、2 つの半導体チップを、直接的に積層することができるので、半導体装置をより薄型にすることができる。そして、スルーホールを経て、例えば 2 つの半導体チップを相互に接続することができるので、また、例えば一方の半導体チップへの入力信号又は半導体チップからの出力信号を、従来使用され問題の多かった金属ワイヤを介さずに、直接的に半導体装置の反対面側に入出力することができる。従って、半導体装置のさらなる多機能化及び動作の高速化を実現することができる。

【 0 1 6 4 】

また、複数の第 2 の実施の形態の半導体装置を、その外部端子同士を積層用の端子として接続することにより積層する構成とすれば、さらなる多機能化及び動作の高速化を容易に実現することができる。このような積層用の端子をいわゆるファンイン部にも配置することができるため、パッケージのさらなる小型化及び薄型化が可能である。

【 0 1 6 5 】

(第 2 の実施の形態の半導体装置の変形例)

図 1 5 (B) を参照して、第 2 の実施の形態の半導体装置の変形例につき説明する。なお、上面からみた平面図は図 1 4 (A) と同様であるので、その詳細な説明は省略する。

【 0 1 6 6 】

図 1 5 (B) は、第 2 の実施の形態の変形例の半導体装置 1 0' の横断面を示す概略的な断面図である。

【 0 1 6 7 】

この変形例の半導体装置 1 0' は、基体枠 2 0 の開口部 2 2 の内側壁 2 4 の形状に特徴を有している。従って、第 1 及び第 2 の実施の形態と同様の他の構成成

分については、同一の符号を付して示し、その重複する説明を省略する。

【0168】

この変形例の半導体装置10'の基体棒20の開口部22を画成する内側壁24の断面形状は、基体棒20の両面側から半導体チップ側へ、先端に向かうほど先細、すなわち肉薄となるようにしてある。すなわち、内側壁24は、基体棒20の第1の面20a及び第2の面20bの両面側から、開口部22内に設けられている第1及び第2の半導体チップ30及び60の側面に向かって厚さが減少していく。

【0169】

内側壁24の形状をこのようにすれば、第2の実施の形態で説明した半導体装置と同等の作用効果に加え、特に製造工程において、有利な効果を得ることができる（後述する）。

【0170】

（第2の実施の形態の製造方法）

次に、図16（A）～図18（C）を参照して、第2の実施の形態の半導体装置の製造方法につき説明する。なお、各図において、平面図は第1の実施の形態で説明した図とほぼ同じであるので、その図示及びその詳細な説明は省略する。さらに、適用される材料、工程の実施条件等は第1の実施の形態と同様であるのでその詳細な説明は省略する。

【0171】

各図は、半導体装置の製造中途の構造体の横断面を示す概略的な断面図である。なお、後述する各製造工程において、適用される材料、工程の実施条件等は第1の実施の形態の製造方法と同様であるので、その詳細な説明は省略する。

【0172】

この第2の実施の形態の半導体装置の製造方法では、上述の第1の実施の形態の第2の製造方法と同様に、治具を使用して、一部工程を実施することを特徴としている。

【0173】

まず、この第2の実施の形態の製造方法に適用して好適な治具につき説明する

が、この治具は、図 1 1 を参照して既に説明した治具 5 0 の構成とほぼ同様の構成を具え、同様の材料により構成されているので、その詳細な説明は省略し、同一の構成については同一番号を使用して図 1 1 (A) 及び図 1 1 (B) を参照しつつ、その特徴について説明する。

【 0 1 7 4 】

第 2 の実施の形態の製造方法に適用して好適な治具 5 0 は、複数の凸部 5 2 と、これらの凸部 5 2 同士の間隙に位置する凹部 5 4 とを具えているのは第 1 の実施の形態と同様である。また、凸部 5 2 の表面領域の輪郭及び面積は、半導体チップ 3 0 の第 2 の主表面 3 8 の輪郭及び面積と少なくとも一致、すなわち同一としてあるのも同様である。この第 2 の実施の形態の半導体装置の製造方法に適用して好適な治具 5 0 は、凸部 5 2 の高さ、すなわち側壁部 5 2 a の高さ h に特徴を有している。

【 0 1 7 5 】

具体的には、側壁部 5 2 a の高さ h は、製造工程の実施において、基体枠 2 0 を治具 5 0 の凹部 5 4 に載置し、かつ第 1 の半導体チップ 3 0 を凸部 5 2 の表面上に載置したときに、第 1 の半導体チップ 3 0 の第 1 の主表面 3 6 のレベルと、基体枠 2 0 の第 1 の面 2 0 a のレベルが実質的に同一となるように、設定されている。

【 0 1 7 6 】

このとき上述したように、第 1 の半導体チップ 3 0 と基体枠 2 0 との間に若干の段差が存在したとしても、この段差に基因して、配線パターンに、切断等の不具合を生じさせる恐れがなければ、特に問題となることはない。

【 0 1 7 7 】

第 1 の実施の形態で既に説明した治具と同様に、治具 5 0 には好ましくは凹部 5 4 に第 1 の貫通孔 5 6 及び／又は凸部 5 2 にも第 2 の貫通孔 5 7 を形成しておくのがよい。そして、この第 1 の貫通孔 5 6 及び第 2 の貫通孔 5 7 には、基体枠 2 0 を凹部 5 4 に、半導体チップ 3 0 を凸部 5 2 にそれぞれ吸引保持するための第 1 及び第 2 の吸排気系 5 8 及び 5 9 を接続する構成とするのがよい。

【 0 1 7 8 】

次に、この治具 5 0 を用いた第 2 の実施の形態の半導体装置の製造方法につき説明する。

【0 1 7 9】

予め、上述の構成を具えた治具 5 0 を準備しておく。

【0 1 8 0】

そして、図 1 6 (A) に示したように、治具 5 0 の凹部 5 4 上に、凸部 5 2 の側壁部 5 2 a を囲み、かつ凸部 5 2 の表面を露出させる貫通孔である複数の開口部 2 2 を有する基体枠 2 0 を、載置する。

【0 1 8 1】

また、図 1 5 (A) 及び図 1 5 (B) を参照して説明したように、この基体枠 2 0 に貫通孔であるスルーホール 2 6 が形成されている場合には、スルーホール 2 6 の内部は、例えばアルミニウム合金及びタングステン合金等の導電性材料により、常法に従って導通をとるための層間結線 2 8 が形成されているものとする。

【0 1 8 2】

上述したように、凹部 5 4 に第 1 の貫通孔 5 6 及びこれに接続される第 1 の吸排気系 5 8 を具える構成としてある場合には、これらにより基体枠 2 0 の第 2 の面 2 0 b と凹部 5 4 の表面との接触面（間隙）を真空引きして吸引保持する。

【0 1 8 3】

次いで、図 1 6 (B) に示したように、基体枠 2 0 の開口部 2 2 内の凸部 5 2 上に、第 1 の半導体チップ 3 0 の第 2 の主表面 3 8 を凸部 5 2 と対面させて配置する。

【0 1 8 4】

このとき、図 1 5 (B) を参照して既に説明したように、基体枠 2 0 の開口部 2 2 の内側壁 2 4 を上述したように傾斜を有する形状としている場合には、その傾斜面に沿って滑らせるようにして第 1 の半導体チップ 3 0 を配置する。

【0 1 8 5】

ここで、上述したように、凸部 5 2 に第 2 の貫通孔 5 7 及びこれに接続される第 2 の吸排気系 5 9 を具える構成としてある場合には、第 1 の半導体チップ 3 0

の第 2 の主表面 3 8 と凸部 5 2 の表面との接触面を真空引きして吸引保持する。

【 0 1 8 6 】

次いで、治具 5 0 上に配置されている基体枠 2 0 の第 1 の面 2 0 a 上及び第 1 の半導体チップ 3 0 の第 1 の主表面 3 6 上に、第 1 の電極パッド 3 4 の一部分が露出するように第 1 の絶縁膜 4 0 を形成する。このとき、層間結線 2 8 が形成されている場合（図 1 5（A）、図 1 5（B）参照）にはこの層間結線 2 8 を露出させるようにして第 1 の絶縁膜 4 0 を形成する。

【 0 1 8 7 】

このとき、第 1 の実施の形態で説明したように、一旦、第 1 の電極パッド 3 4 及び層間結線 2 8 を覆うように第 1 の絶縁膜 4 0 を形成した後、第 1 の電極パッド 3 4 及び層間結線 2 8 が露出するような工程としてもよい。第 1 の実施の形態と同様に、好ましくは第 1 の絶縁膜 4 0 は平坦に形成するのがよい。

【 0 1 8 8 】

基体枠 2 0 と第 1 の半導体チップ 3 0 との間に若干の間隙が存在する場合には、この間隙に第 1 の絶縁膜 4 0 を形成するための絶縁材料が入り込んで基体枠 2 0 と第 1 の半導体チップ 3 0 とを一体に固着するように、第 1 の絶縁膜 4 0 を形成する。

【 0 1 8 9 】

次いで、図 1 6（C）に示したように、第 1 の絶縁膜 4 0 の表面上に、複数の配線パターンを含む第 1 の配線パターン 4 2 を、露出している第 1 の電極パッド 3 4 の一部分に電氣的に接続するように形成する。このとき、層間結線 2 8 が存在する場合には、第 1 の配線パターン 4 2 を介して第 1 の電極パッド 3 4 と層間結線 2 8 とについても電氣的に接続する。

【 0 1 9 0 】

然る後、図 1 7（A）に示したように、第 1 の配線パターン 4 2 上に電極ポスト 4 6 を形成する。第 1 の実施の形態と同様に、原則として 1 つの配線パターンには 1 つの電極ポストを設ける。これらの電極ポスト 4 6 は、半導体チップ 3 0 の上側の配線パターンのみならず、基体枠 2 0 の第 1 の面 2 0 a の上側（真上）に相当する領域、すなわち拡張部 2 1 として機能する領域にも、複数の電極ポス

ト 4 6 を、形成する。

【 0 1 9 1 】

次に、第 1 の配線パターン 4 2 及び第 1 の電極ポスト 4 6 が形成されている第 1 の絶縁膜 4 0 の表面上を覆う第 1 の封止部 4 4 を形成する。

【 0 1 9 2 】

引き続き、第 2 の半導体チップ 6 0 の第 3 の主表面 6 6 側に上述と同じ工程で封止部まで形成する。すなわち、第 1 の半導体チップ 3 0 が開口部 2 2 内に設けられている状態の基体枠 2 0 を、治具 5 0 から、取り外し、第 2 の半導体チップ 6 0 の第 3 の主表面 6 6 を上面として、裏返す。

【 0 1 9 3 】

図 1 7 (B) に示したように、第 2 の半導体チップ 6 0 を、開口部 2 2 内の第 1 の半導体チップ 3 0 の第 2 の主表面 3 8 上に、第 2 の半導体チップ 6 0 の第 4 の主表面 6 8 が対面するように設ける。

【 0 1 9 4 】

ここで、好ましくは第 1 の半導体チップ 3 0 の第 2 の主表面 3 8 と第 2 の半導体チップ 6 0 の第 4 の主表面 6 8 とを互いに接着材等により接着するのがよい。

【 0 1 9 5 】

第 2 の半導体チップ 6 0 の第 3 の主表面 6 6 のレベルと基体枠 2 0 の第 2 の面 2 0 b とのレベルが揃わない場合には、第 1 の半導体チップ 3 0 と第 2 の半導体チップ 6 0 の第 4 の主表面 6 8 同士の間は何らかのスペーサ部材を挿入するか、又は接着材等の厚さにより、第 2 の半導体チップ 6 0 の第 3 の主表面 6 6 のレベルと基体枠 2 0 の第 2 の面 2 0 b のレベルとが実質的に同一のレベルとなるように調節することもできる。

【 0 1 9 6 】

また、上述したように、この発明の第 2 の実施の形態の半導体装置は、第 1 の半導体チップ 3 0 と第 2 の半導体チップ 6 0 との平面サイズ、すなわち第 1 の主表面と第 3 の主表面同士及び第 2 の主表面と第 4 の主表面同士の大きさに差異がある場合も適用可能である。このとき、基体枠 2 0 と第 1 の半導体チップ 3 0 又は第 2 の半導体チップ 6 0 との間に生じる間隙の大きさは、後に形成される第 2

の配線パターン 7 2 が形成可能な範囲の大きさとされる。

【 0 1 9 7 】

このように、基体枠 2 0 と、第 1 の半導体チップ 3 0 及び第 2 の半導体チップ 6 0 との間に生じる段差及び間隙は、後に形成される第 2 の配線パターン 7 2 が不具合なく形成可能な範囲であれば、さらなる処理工程による調節は必要ない。

【 0 1 9 8 】

そして基体枠 2 0 の第 2 の面 2 0 b 上及び第 2 の半導体チップ 6 0 の第 3 の主表面 6 6 上に、第 2 の絶縁膜 7 0 を、第 2 の電極パッド 6 4、及び存在する場合には層間結線 2 8 を露出して形成する。

【 0 1 9 9 】

さらに、図 1 7 (C) に示したように、この第 2 の絶縁膜 7 0 の表面上に、複数の第 2 の配線パターン 7 2 を、露出している第 2 の電極パッド 6 4 の一部分に電氣的に接続して形成する。このとき、層間結線 2 8 が存在する場合には、第 2 の配線パターン 7 2 を介して第 2 の電極パッド 6 4 と層間結線 2 8 とについても電氣的に接続される。

【 0 2 0 0 】

第 2 の配線パターン 7 2 は、第 2 の半導体チップ 6 0 の上側（真上）と、基体枠 2 0 の第 2 の面 2 0 b の上側（真上）にも形成される。

【 0 2 0 1 】

次いで、図 1 8 (A) に示したように、第 2 の配線パターン 7 2 上に第 2 の電極ポスト 7 6 を形成する。これら第 2 の電極ポスト 7 6 も、1 つの第 2 の配線パターン 7 2 に 1 つ設ける。これら第 2 の電極ポスト 7 6 は、第 2 の半導体チップ 6 0 の上側の第 2 の配線パターン 7 2 のみならず、基体枠 2 0 の第 2 の面 2 0 b の上側（真上）の領域の配線パターン 7 2 上にも、形成される。

【 0 2 0 2 】

然る後、第 2 の配線パターン 7 2 及び第 2 の電極ポスト 7 6 が形成されている第 2 の絶縁膜 7 0 の表面上を覆う第 2 の封止部 7 4 を形成する。

【 0 2 0 3 】

そして、図 1 8 (B) に示したように、第 1 及び第 2 の封止部 4 4 及び 7 4 の

表面をそれぞれ削って、第 1 及び第 2 の電極ポスト 4 6 及び 7 6 の端部例えば頂面を、露出させる。

【 0 2 0 4 】

次いで、露出している第 1 及び第 2 の電極ポスト 4 6 及び 7 6 の頂面に、第 1 及び第 2 の外部端子 4 7 及び 7 7 としての第 1 及び第 2 の半田ボール 4 7 a, 7 7 a を、形成する。

【 0 2 0 5 】

あるいは、例えば第 1 の外部端子 4 7 を半田ボールとして構成し、第 2 の外部端子 7 7 をいわゆるランドとして、異なる形状の外部端子を形成することもできる。

【 0 2 0 6 】

第 1 及び第 2 の外部端子 4 7 及び 7 7 は、上述したように実装基板への実装のみならず、例えばこの発明の第 2 の実施の形態の半導体装置を複数個又は他の半導体装置を積層するための端子として使用することができる。

【 0 2 0 7 】

然る後、図 1 8 (C) に示したように、複数の隣接する開口部 2 2 同士の間を切削して切断し、第 1 及び第 2 の半導体チップ 3 0 及び 6 0 を含む半導体装置として個片化する。

【 0 2 0 8 】

このような工程により、第 2 の実施の形態の半導体装置 1 0 が製造される。

【 0 2 0 9 】

この第 2 の実施の形態の半導体装置の製造方法において、第 1 の半導体チップ 3 0 側の第 1 の封止部を形成する工程までの実施に引き続き、第 2 の半導体チップ 6 0 側の工程に移行する例を説明したが、これに限定されない。例えば第 1 の半導体チップ 3 0 の第 1 の主表面 3 6 側に第 1 の外部端子 4 7 を形成する工程までを実施した後に、第 2 の半導体チップ 6 0 側に、第 2 の外部端子 7 7 を形成する工程までを実施してもよい。

【 0 2 1 0 】

この第 2 の実施の形態の製造方法によれば、簡易な工程で 2 枚のチップが積層

された高機能かつ高速動作が可能な半導体装置を製造することができる。また、治具は、繰り返し使用することができるので、製造コストの削減が期待される。また、貫通孔を介した吸排気系により、基体枠と半導体チップを吸着保持する工程とする場合には、さらに基体枠及び半導体チップの治具への保持及び剥離が容易かつ迅速に行うことができるので、製造される半導体装置のスループットの向上が期待される。

【 0 2 1 1 】

この発明の半導体装置において、配線パターンは、半導体チップの出力信号、半導体装置に要求される外部端子の配置位置等を考慮して、所望のパターンで形成することができる。

【 0 2 1 2 】

この発明のすべての実施の形態において、電極ポスト 4 6 は、導電性材料により形成するのがよい。好ましくは銅により形成するのがよい。このとき電極ポスト 4 6 の表面に薄い酸化層を形成しておくのがよい。このようにすれば電極ポスト 4 6 と封止部 4 4 の接着性が向上するため、耐湿性が向上する。

【 0 2 1 3 】

この発明のすべての実施の形態において、外部端子 4 7 として半田ボール 4 7 a を電極ポスト 4 6 上に形成する、いわゆる B G A (B a l l G r i d A r r a y) 型につき説明したが、これに限定されない。例えば、露出している電極ポスト 4 6 の頂面に、半田ペーストの塗布及びリフロー、又は無電解メッキによる N i / A u 処理によりランドとして、いわゆる L G A (L a n d G r i d A r r a y) 型等の構成とすることもできる。

【 0 2 1 4 】

具体的には、電極ポスト 4 6 の頂面に直接的に半田層を形成するか、電極ポスト 4 6 の頂面にバリアメタル層を形成した後、このバリアメタル層上に金 (A u) メッキ層を形成する。或いは電極ポスト 4 6 の頂面に直接的に S n (スズ) 層をランドとして形成して、これを外部端子としてもよい。

【 0 2 1 5 】

また、外部端子 4 7 は、電極ポストを介さずに配線パターン 4 2 と外部端子 4

7を直接的に接続する構成としてもよい。

【0216】

また、この発明のすべての実施の形態において、封止部の形状は、いわゆるソーカットタイプのみならず、この発明の目的を損なわない範囲で、基体枠及び／又は拡張部の外形と合っていなくともよい。

【0217】

【発明の効果】

この発明の半導体装置の構成によれば、搭載される半導体チップの側面部を取り囲むように設けられている基体枠上、すなわち拡張部を含む領域にも、外部端子を設けることができる、いわゆるファンアウト構造又はファンイン／ファンアウト構造が可能な構成としてあるので、外部端子の配置間隔及び配置位置等の設計の自由度を大きくすることができる。例えば、従来、半導体チップの直上の領域のみに設けられていた外部端子同士の配置密度を下げる、すなわち配置間隔を広げることができる。特に半導体チップの直上の領域の外部端子の配置間隔を広げることができる。

【0218】

また、この発明の半導体装置は、いわゆるWCSPの製造工程を利用して、基板等のインターポーザを使用せずに直接的に半導体チップと外部電極とを接続する構成とすることができるので、上述の効果に加えて、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、フリップチップ接続との比較では、同等の電気的特性をより安価に得ることができる。

【0219】

第1の製造方法によれば、第1の実施の形態の半導体装置を簡易な工程で製造することができる。

【0220】

第2の製造方法によれば、単一の治具を、繰り返して使用することができる。下地を使用する必要がないので、製造工程に必要な部材を削減することができる。従って、製造コストの削減が期待される。また、貫通孔を介した吸排気系によ

り、基体枠と半導体チップを吸着保持する構成とする場合には、さらに基体枠及び半導体チップの治具への保持及び剥離が容易かつ迅速に行うことができるので、半導体装置のスループットの向上が期待される。

【 0 2 2 1 】

特にこの発明の第 2 の実施の形態の半導体装置によれば、第 1 の実施の形態と同様の効果に加え、2 つの半導体チップを、直接的に積層することができるので、半導体装置をより薄型にすることができる。そして、スルーホールにより、例えば 2 つの半導体チップを相互に接続することができるので、また、例えば一方の半導体チップへの入力信号又は半導体チップからの出力信号を、従来使用され問題の多かった金属ワイヤを介さずに、直接的に半導体装置の反対面側に入出力することができるので、半導体装置のさらなる多機能化及び高速化を実現することができる。

【 0 2 2 2 】

また、複数の第 2 の実施の形態の半導体装置を、その外部端子同士を積層用の端子として接続することにより積層する構成とすれば、さらなる多機能化及び高速化を容易に実現することができる。積層用の端子をいわゆるファンイン部にも配置することができるため、パッケージのさらなる小型化及び薄型化が可能である。

【 0 2 2 3 】

特に、この発明の第 2 の実施の形態の製造方法によれば、簡易な工程で 2 枚のチップが積層された高機能かつ高速動作が可能な半導体装置を製造することができる。また、治具は繰り返し使用することができるので、製造コストの削減が期待される。また、貫通孔を介した吸排気孔により、基体枠と半導体チップを吸着保持する工程とする場合には、さらに基体枠及び半導体チップの治具への保持及び剥離が容易かつ迅速に行うことができるので、製造される半導体装置のスループットの向上が期待される。

【図面の簡単な説明】

【図 1】

(A) は第 1 の実施の形態の半導体装置の構成を説明するための概略的な上面

からみた平面図であり、(B)は、配線パターンと電極パッドとの接続関係を説明するために、(A)の一部領域を拡大して示した概略的な要部平面図である。

【図 2】

(A) 及び (B) は、図 1 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。

【図 3】

(A) 及び (B) は、図 1 (A) の I - I 破線により切断した切断面を示す第 1 の実施の形態の変形例の概略的な断面図である。

【図 4】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の第 1 の製造方法を説明するための上面からみた平面図及び断面図 (1) である。

【図 5】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の第 1 の製造方法を説明するための上面からみた平面図及び断面図 (2) である。

【図 6】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の第 1 の製造方法を説明するための上面からみた平面図及び断面図 (3) である。

【図 7】

図 6 (A) に対応する断面図である。

【図 8】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の第 1 の製造方法を説明するための上面からみた平面図及び断面図 (4) である。

【図 9】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の第 1 の製造方法を説明するための上面からみた平面図及び断面図 (5) である。

【図 10】

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の第 1 の製造方法を説明するための上面からみた平面図及び断面図 (6) である。

【図 11】

この発明の半導体装置の製造方法に用いて好適な治具の平面図及び断面図である。

【図 1 2】

この発明の第 1 の実施の形態の半導体装置の第 2 の製造方法を説明するための断面図（1）である。

【図 1 3】

この発明の第 1 の実施の形態の半導体装置の第 2 の製造方法を説明するための断面図（2）である。

【図 1 4】

（A）は第 2 の実施の形態の半導体装置の構成を説明するための概略的な上面からみた平面図であり、（B）は、配線パターンと電極パッドとの接続関係を説明するために、（A）の一部領域を拡大して示した概略的な要部平面図である。

【図 1 5】

（A）は第 2 の実施の形態の半導体装置の構成を説明するための概略的な断面図であり、（B）は、第 2 の実施の形態の変形例の概略的な断面図である。

【図 1 6】

この発明の第 2 の実施の形態の半導体装置の製造方法を説明するための断面図（1）である。

【図 1 7】

この発明の第 2 の実施の形態の半導体装置の製造方法を説明するための断面図（2）である。

【図 1 8】

この発明の第 2 の実施の形態の半導体装置の製造方法を説明するための断面図（3）である。

【符号の説明】

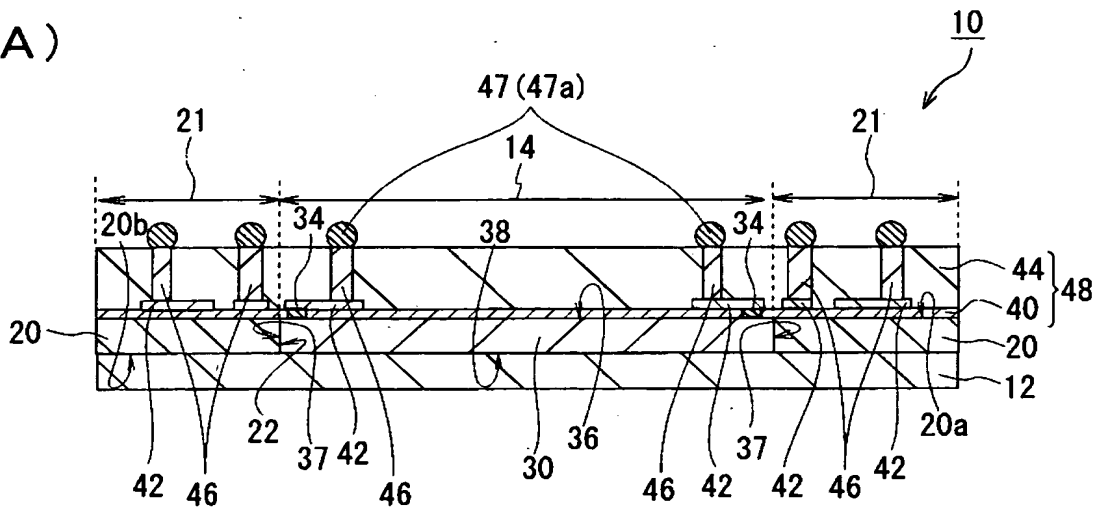
- 1 0、1 0' : 半導体装置
- 1 1 : 部分領域
- 1 2 : 下地
- 1 4 : 半導体チップ配置領域

2 0 : 基体枠
2 0 a : 第 1 の面
2 0 b : 第 2 の面
2 1 : 拡張部
2 2 : 開口部
2 4 : 内側壁
2 6 : スルーホール
2 8 : 層間結線
3 0 : (第 1 の) 半導体チップ
3 4 : (第 1 の) 電極パッド
3 6 : 第 1 の主表面
3 7 , 6 7 : 側面
3 8 : 第 2 の主表面
4 0 : (第 1 の) 絶縁膜
4 2 : (第 1 の) 配線パターン
4 2 a : 長配線
4 2 b : 中配線
4 2 c : 短配線
4 4 : (第 1 の) 封止部
4 6 : (第 1 の) 電極ポスト
4 7 : (第 1 の) 外部端子
4 7 a : (第 1 の) 半田ボール
4 8 : (第 1 の) 絶縁層
5 0 : 治具
5 2 : 凸部
5 2 a : 側壁部
5 4 : 凹部
5 6 : 第 1 の貫通孔
5 7 : 第 2 の貫通孔

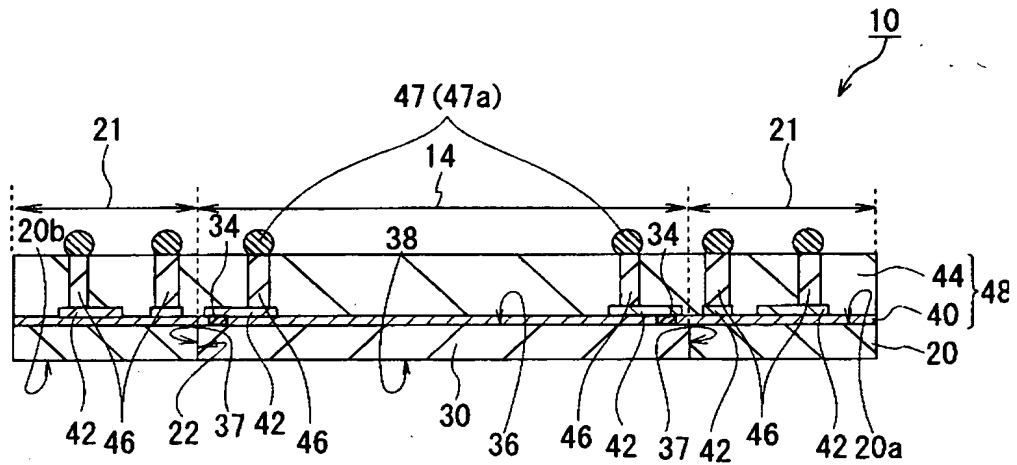
- 5 8 : 第 1 の吸排気系
- 5 9 : 第 2 の吸排気系
- 6 0 : 第 2 の半導体チップ
- 6 4 : 第 2 の電極パッド
- 6 6 : 第 3 の主表面
- 6 8 : 第 4 の主表面
- 7 0 : 第 2 の絶縁膜
- 7 2 : 第 2 の配線パターン
- 7 4 : 第 2 の封止部
- 7 6 : 第 2 の電極ポスト
- 7 7 : 第 2 の外部端子
- 7 7 a : 第 2 の半田ボール
- 7 8 : 第 2 の絶縁層

【図 2】

(A)

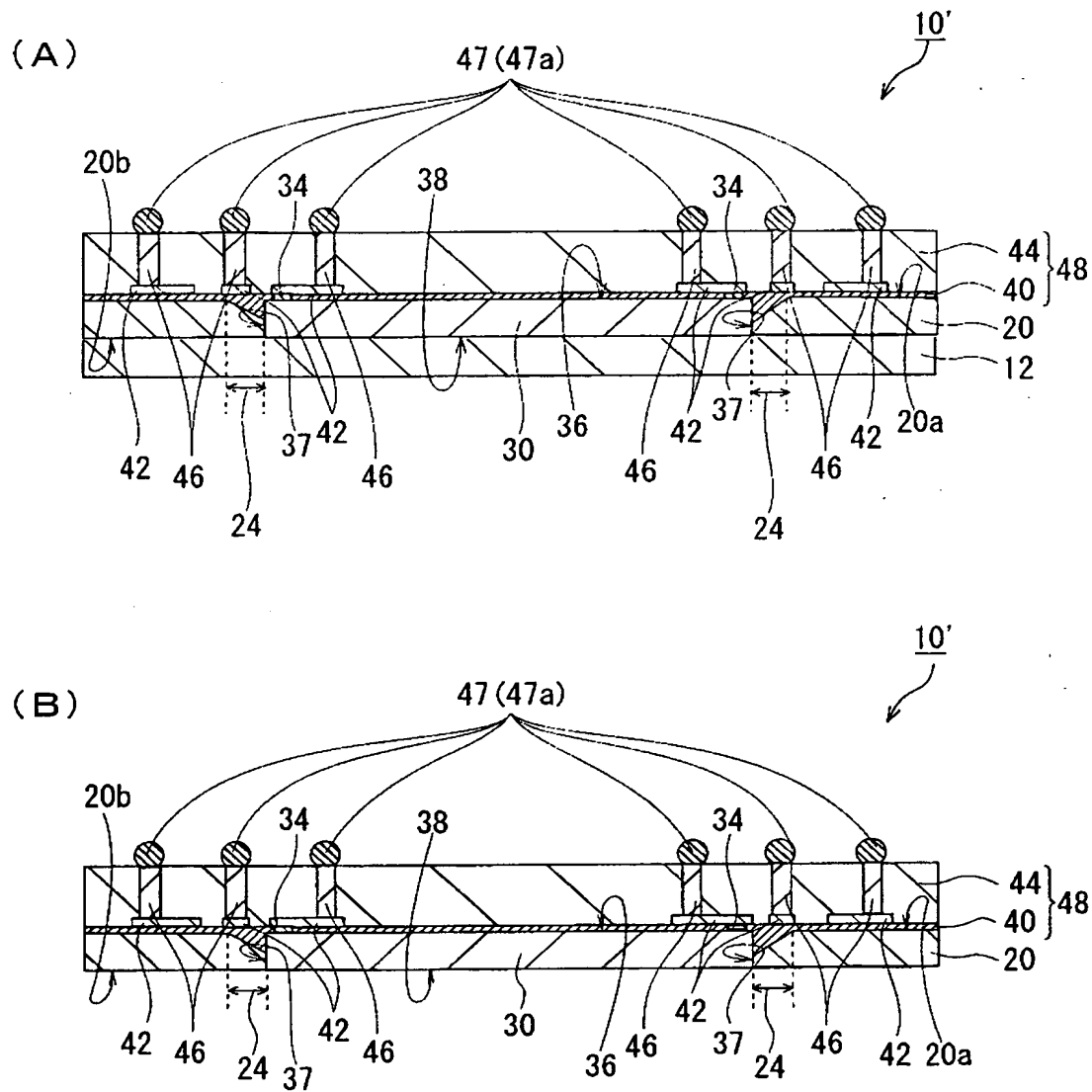


(B)



第1の実施の形態の半導体装置を示す図(2)

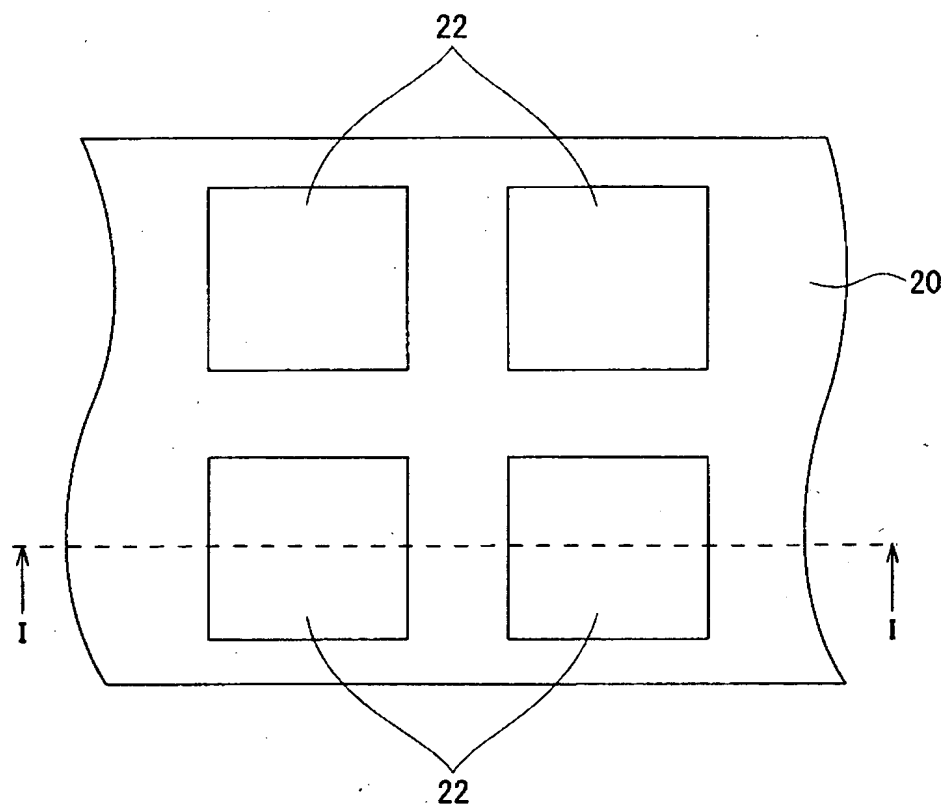
【図 3】



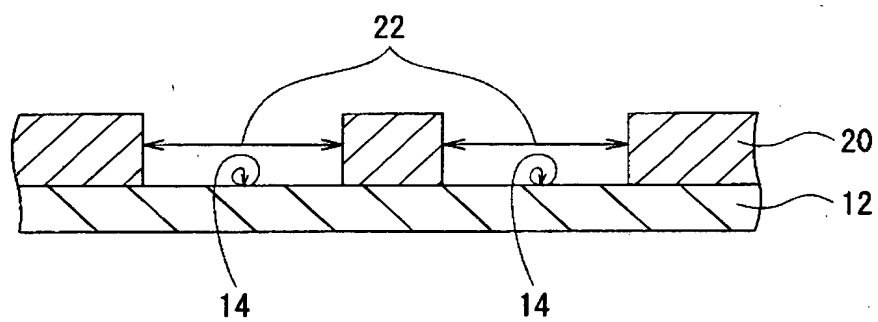
第1の実施の形態の半導体装置の変形例を示す図

【図 4】

(A)



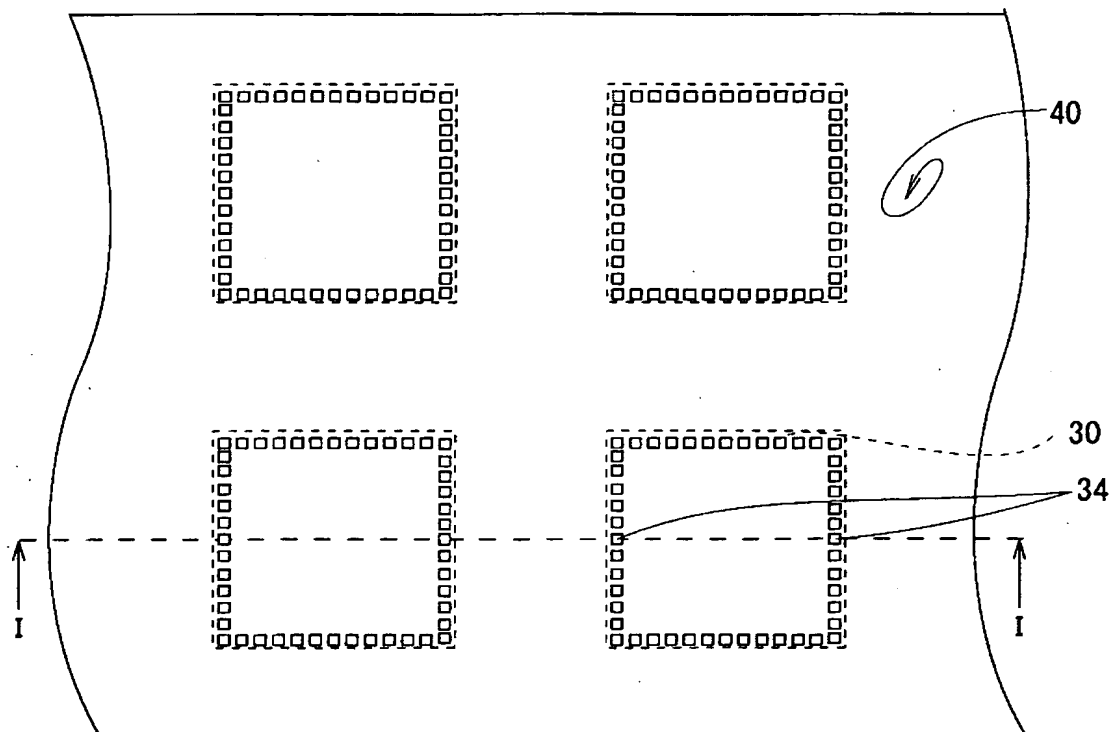
(B)



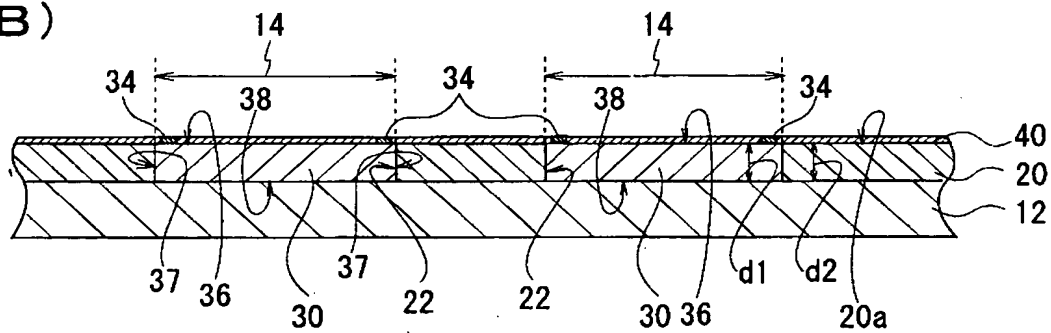
第1の実施の形態の半導体装置の第1の製造方法(1)

【図 5】

(A)



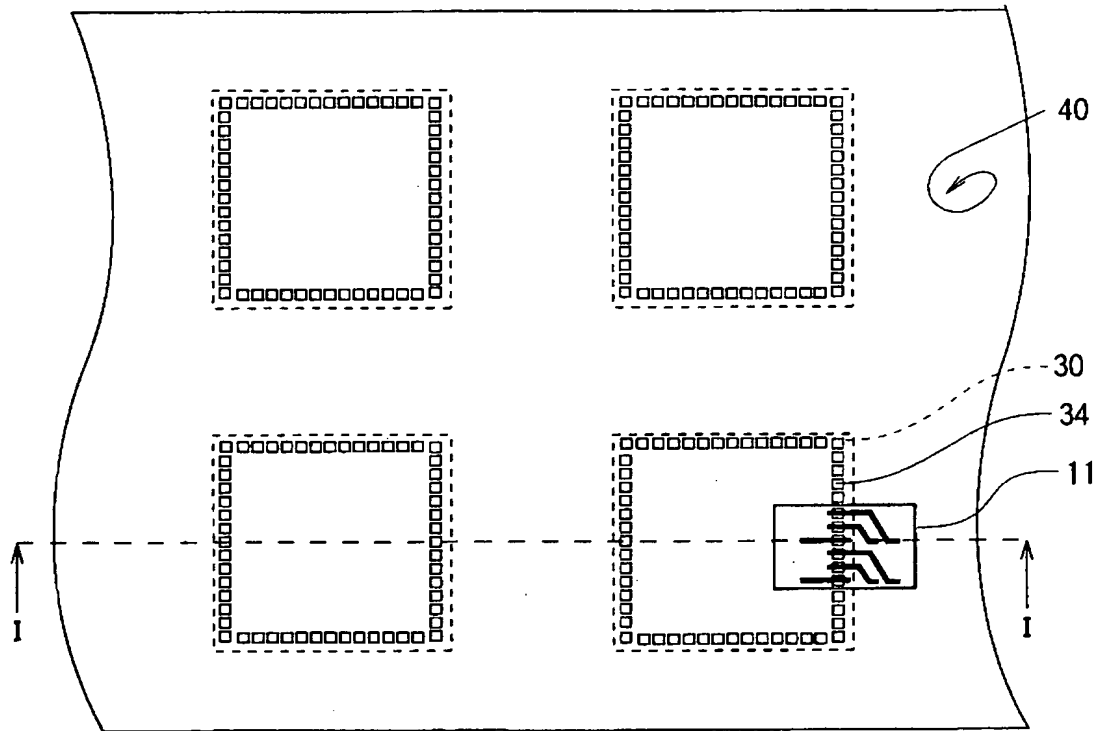
(B)



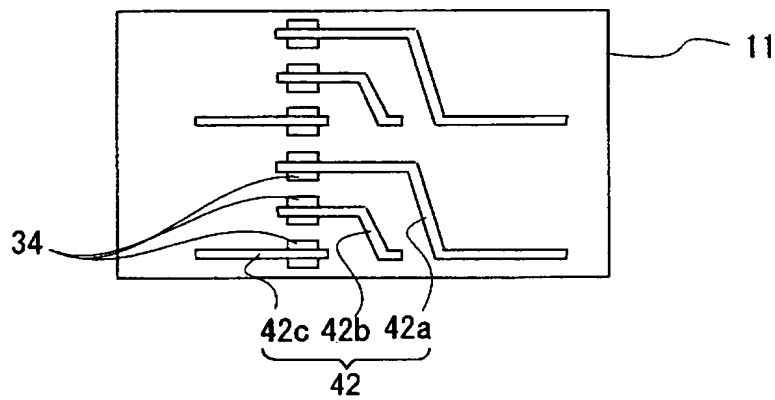
第1の実施の形態の半導体装置の第1の製造方法(2)

【図 6】

(A)

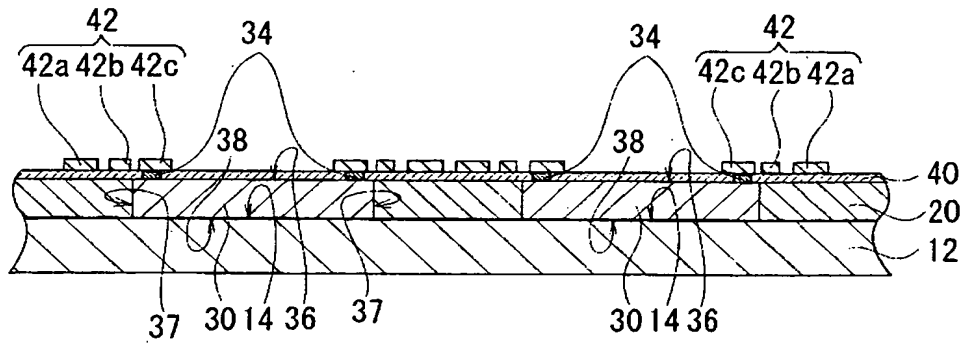


(B)



第1の実施の形態の半導体装置の第1の製造方法 (3)

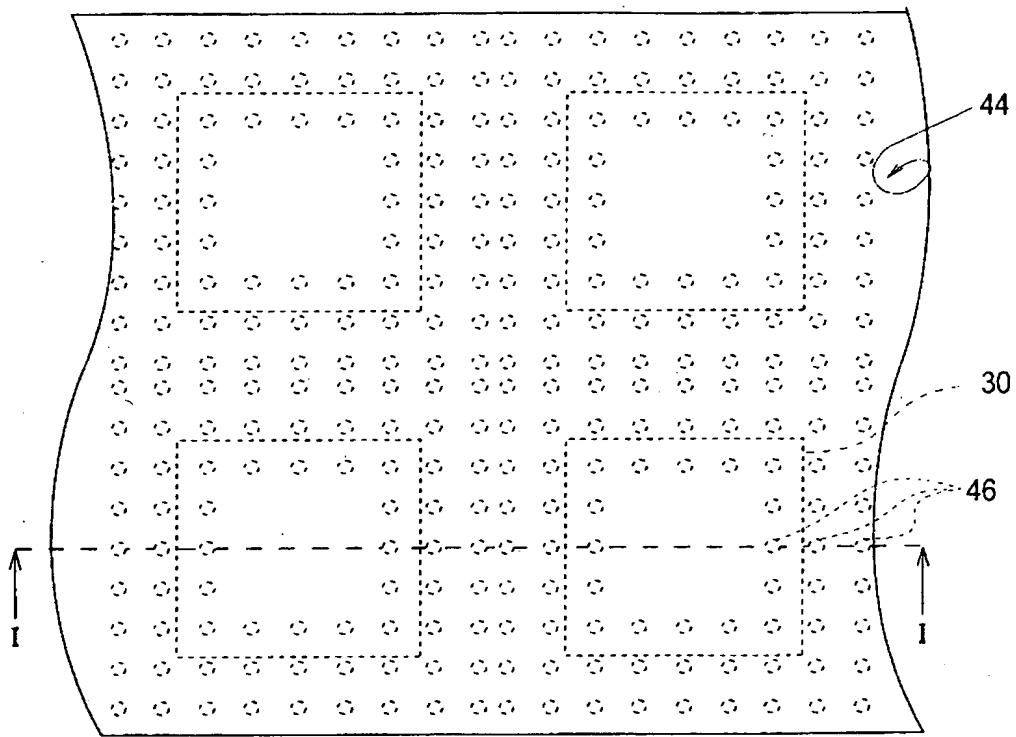
【図 7】



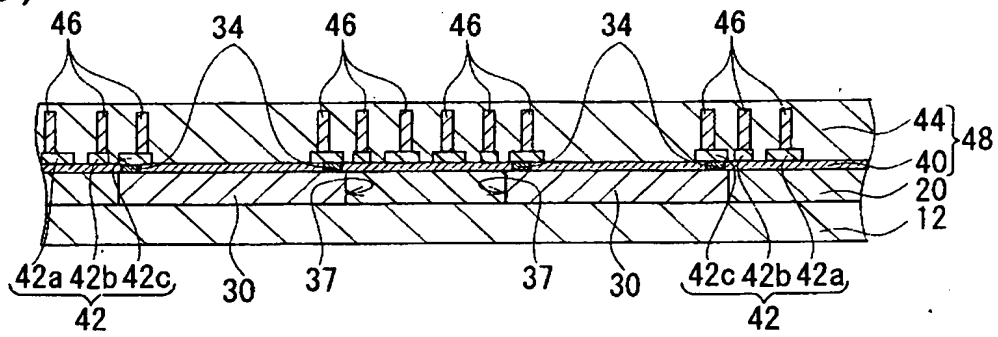
第1の実施の形態の半導体装置の第1の製造方法(3-2)

【図 8】

(A)



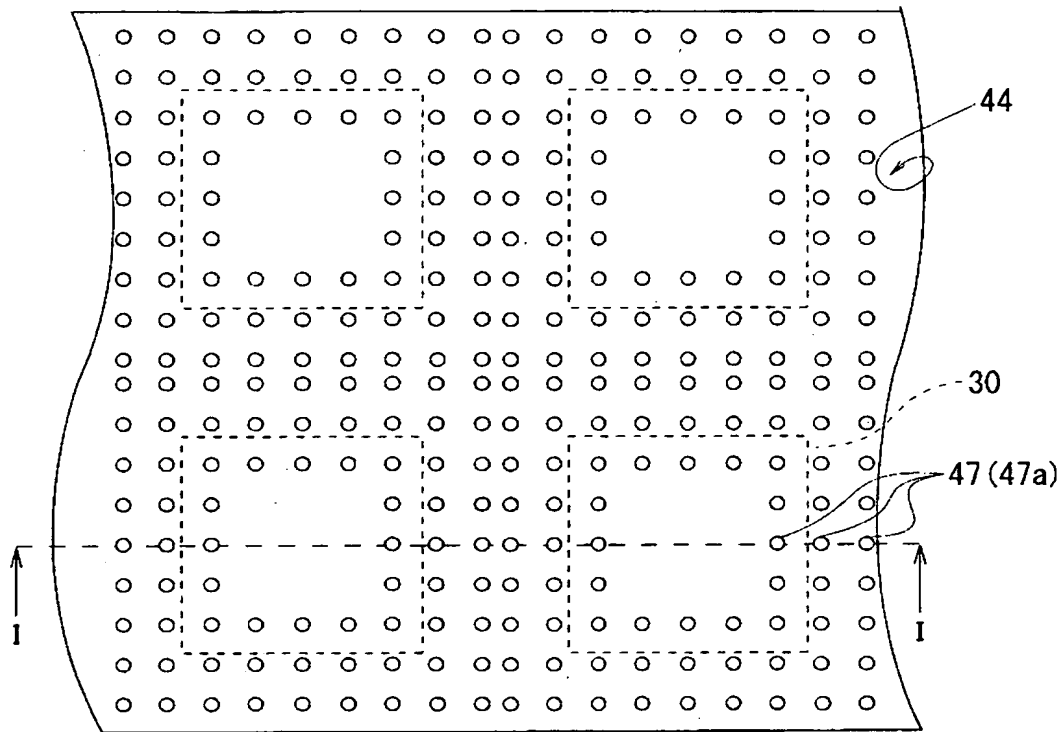
(B)



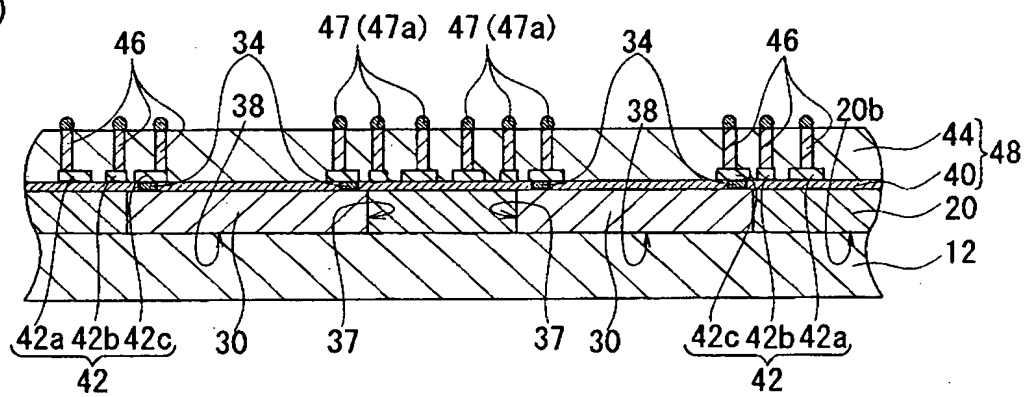
第1の実施の形態の半導体装置の第1の製造方法 (4)

【図 9】

(A)



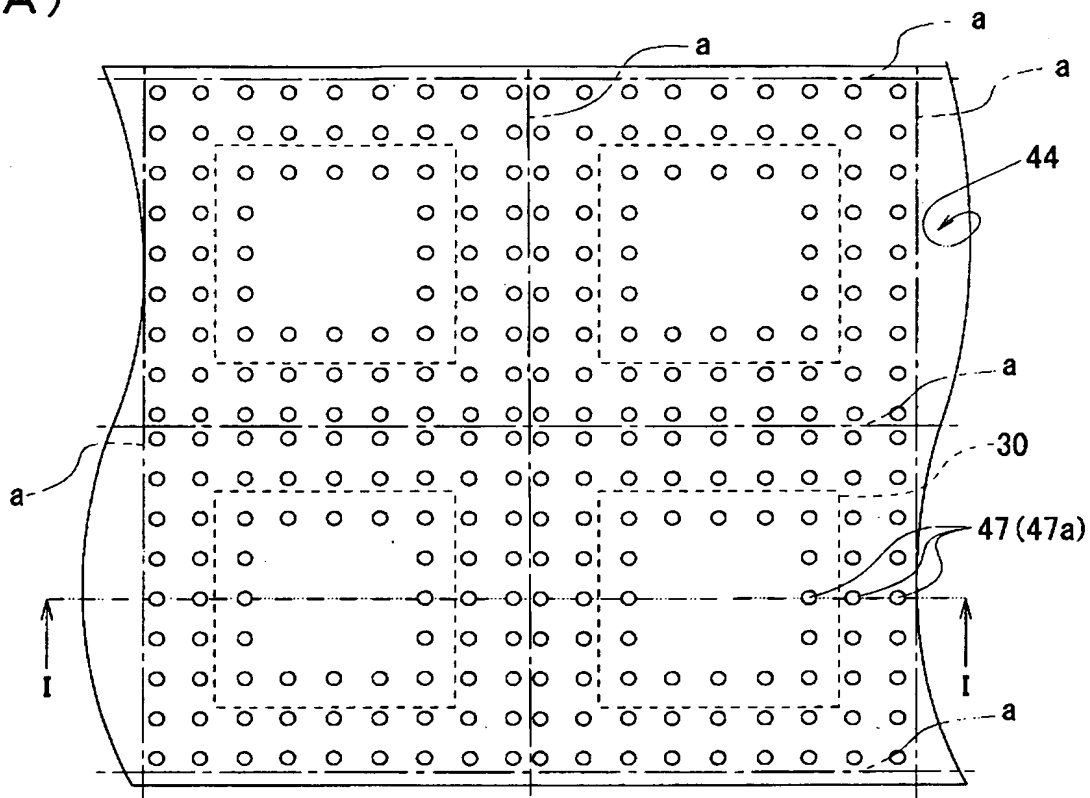
(B)



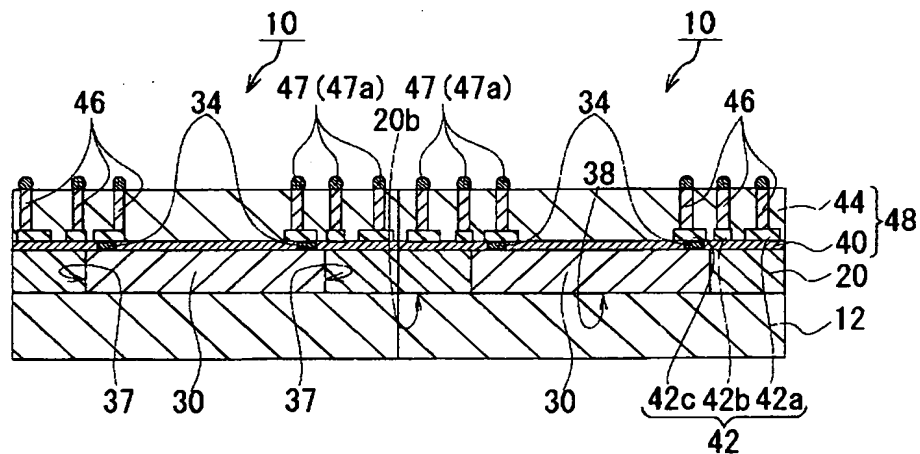
第1の実施の形態の半導体装置の第1の製造方法(5)

【図 10】

(A)



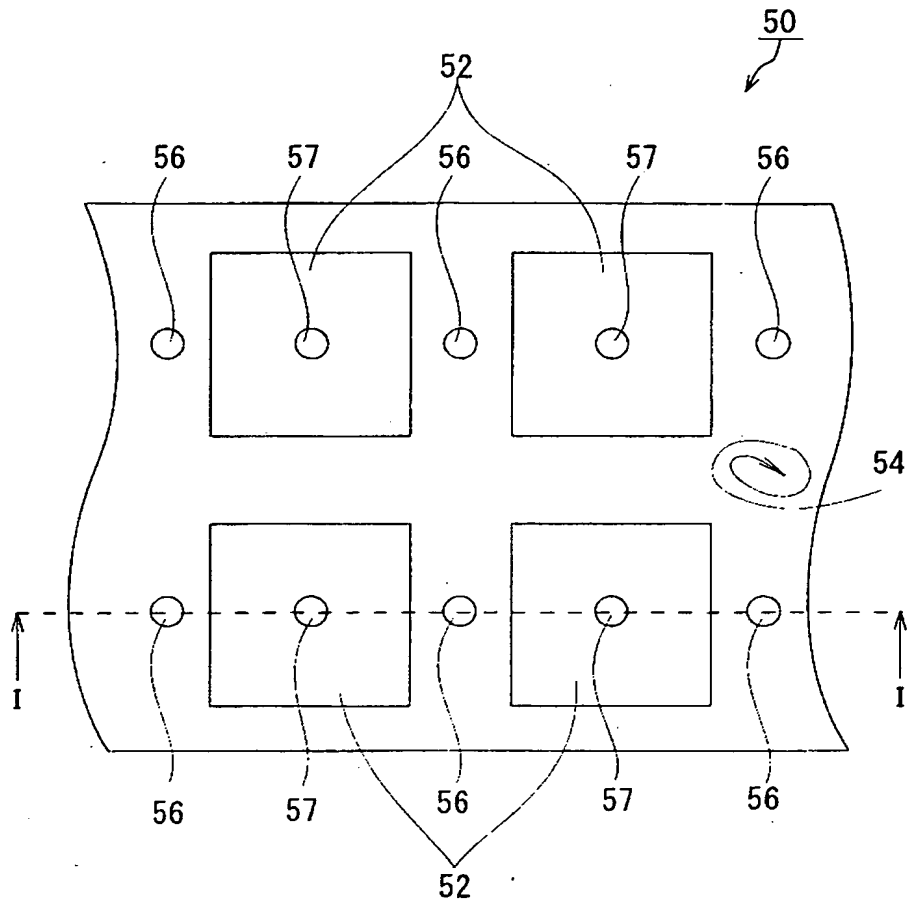
(B)



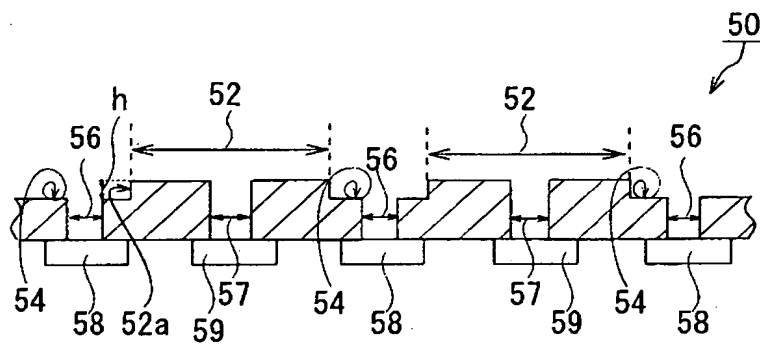
第1の実施の形態の半導体装置の第1の製造方法(6)

【図 11】

(A)



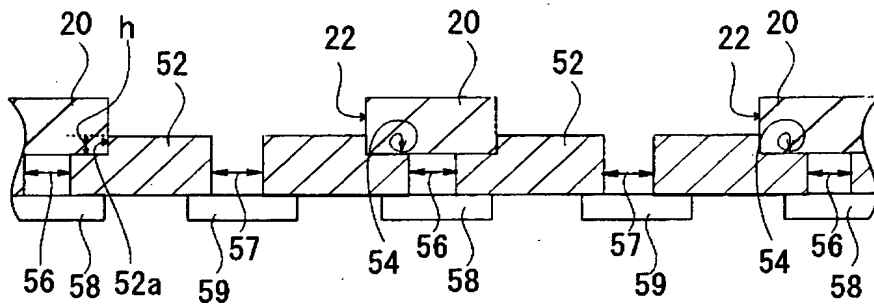
(B)



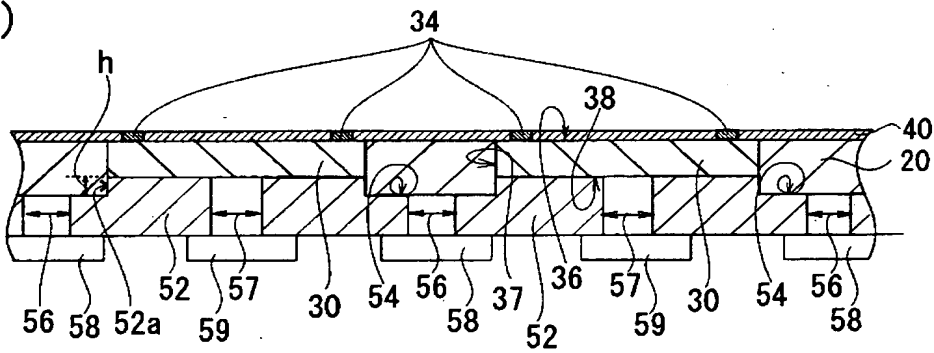
この発明の半導体装置の製造方法に用いて好適な治具の説明図

【図 1 2】

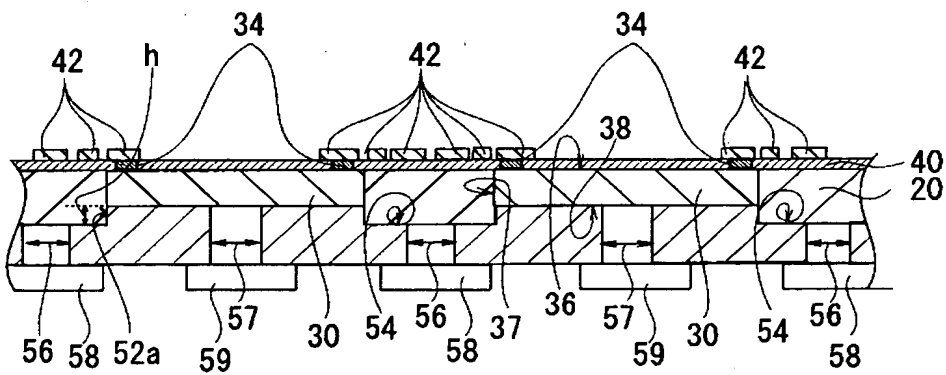
(A)



(B)



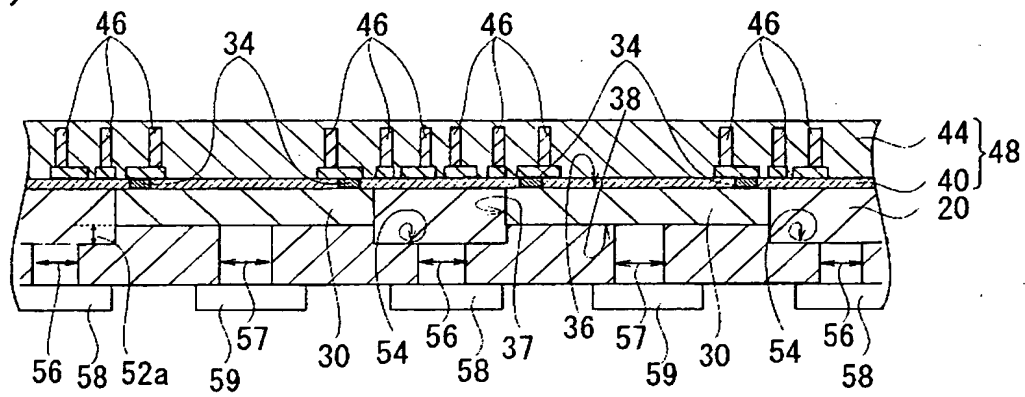
(C)



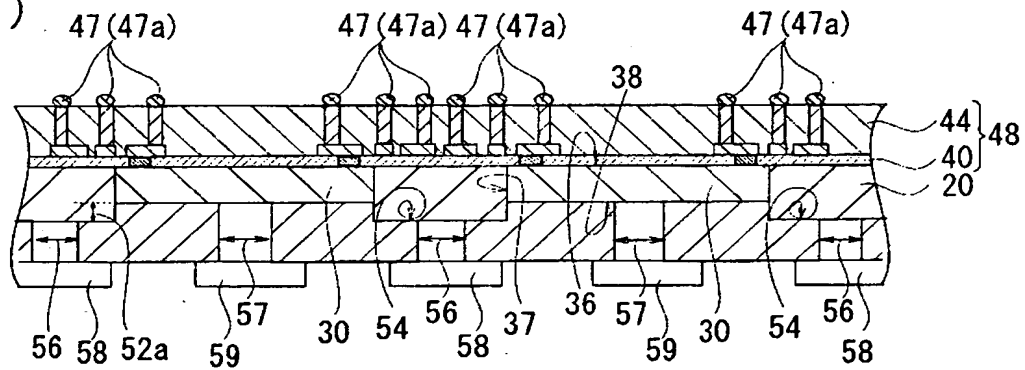
第1の実施の形態の半導体装置の第2の製造方法(1)

【図13】

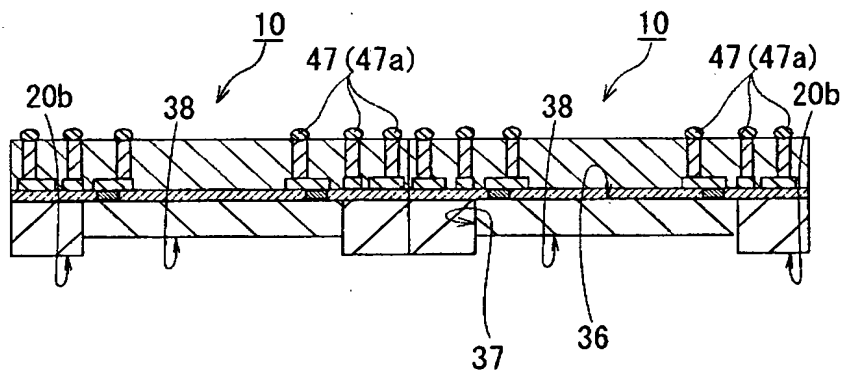
(A)



(B)

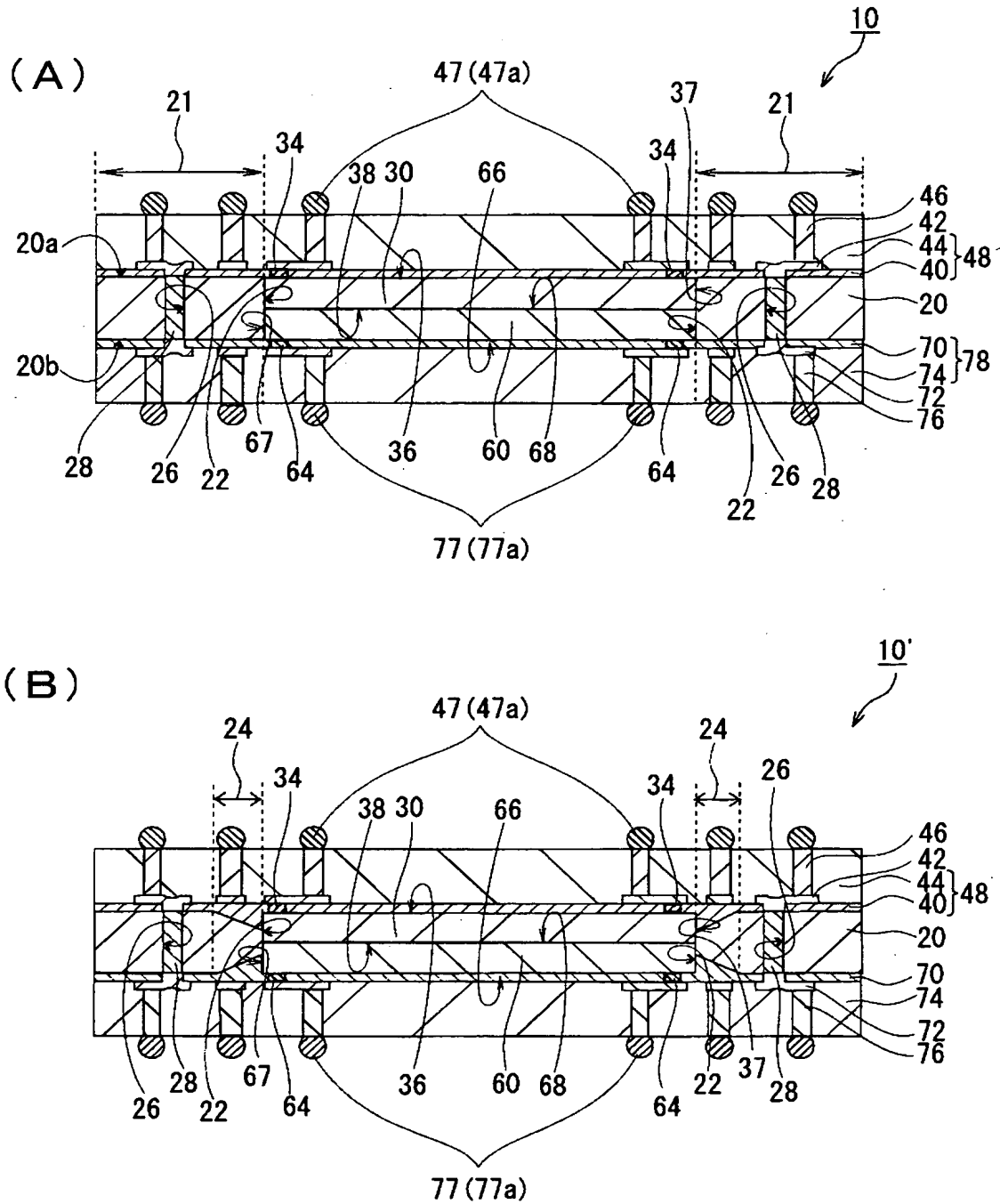


(C)



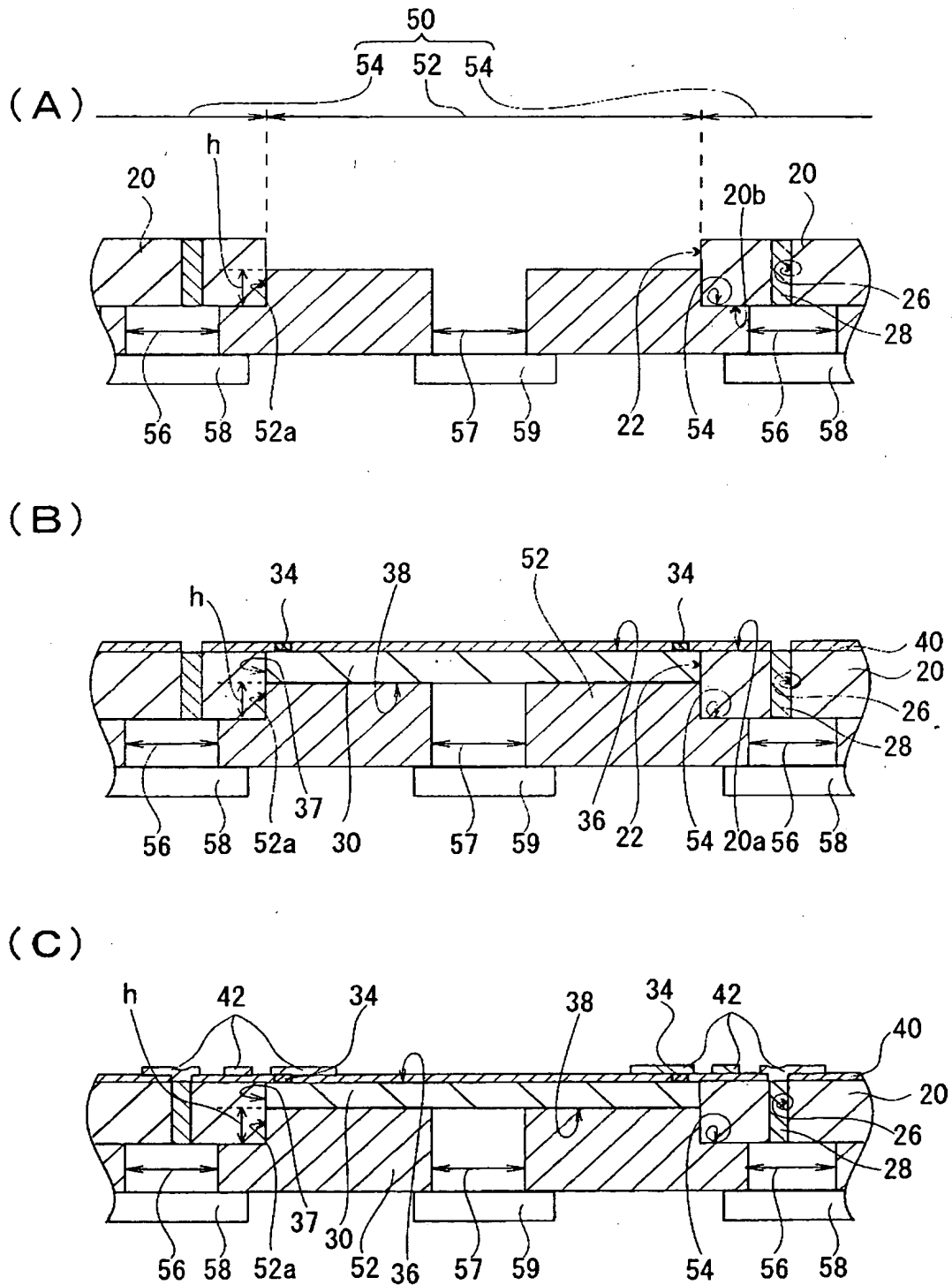
第1の実施の形態の半導体装置の第2の製造方法(2)

【図15】



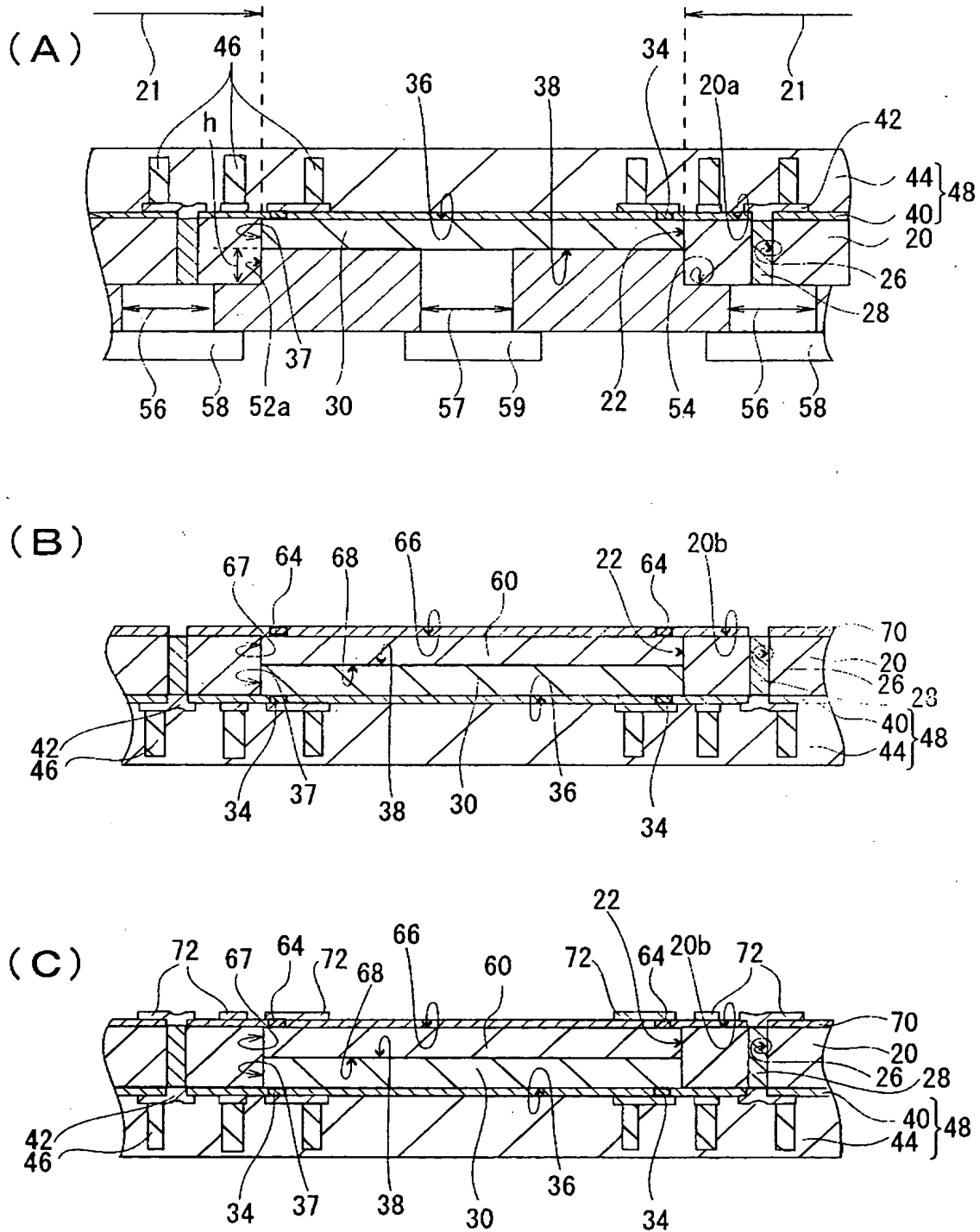
第2の実施の形態の半導体装置及びその変形例を示す図

【図 16】



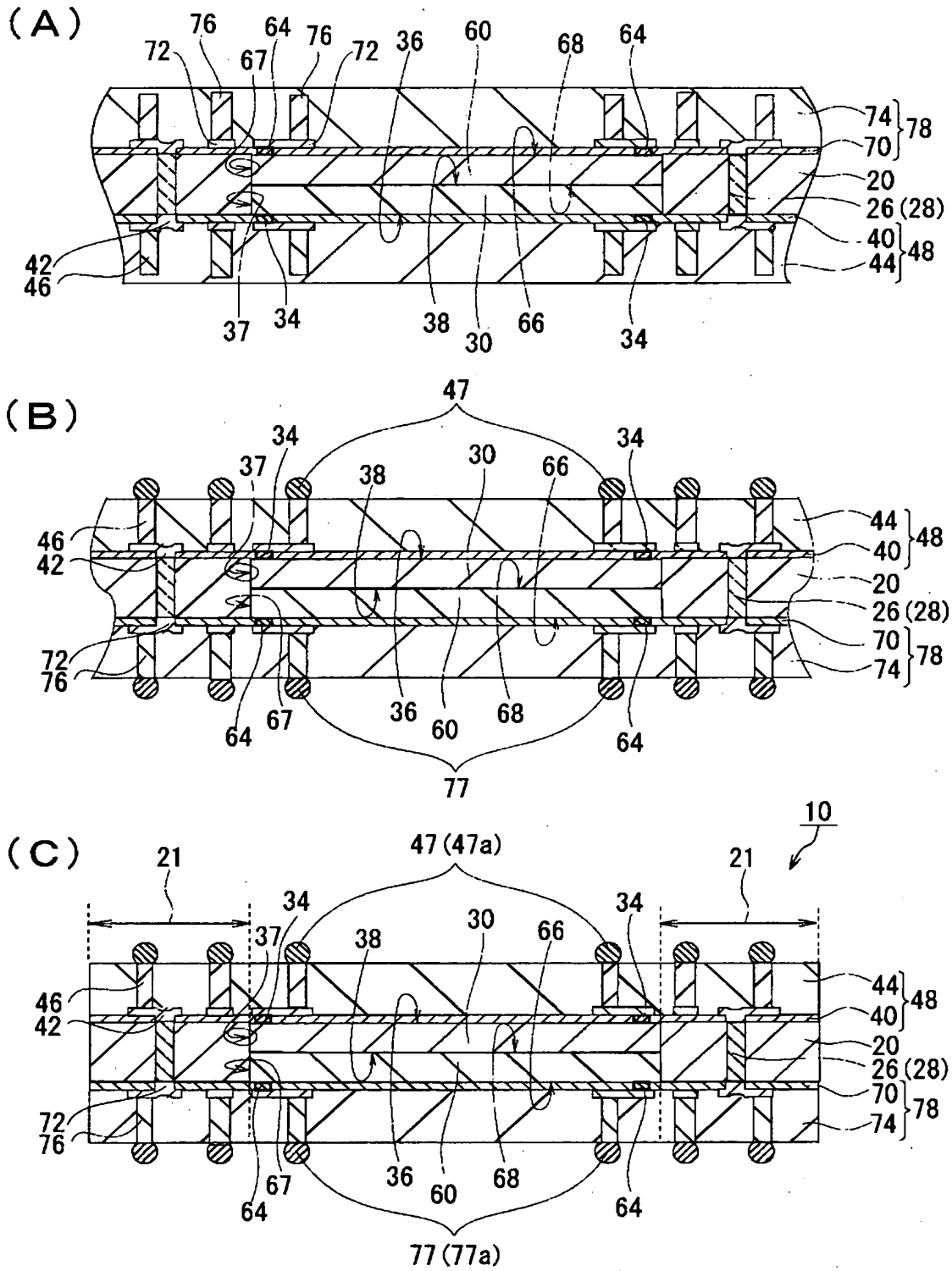
第2の実施の形態の半導体装置の製造方法(1)

【図 17】



第2の実施の形態の半導体装置の製造方法 (2)

【図18】



第2の実施の形態の半導体装置の製造方法(3)

【書類名】 要約書

【要約】

【課題】 外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法。

【解決手段】 第1の面20aと、第1の面20aと対向する第2の面20bと、開口部22とを有する基体枠20と、複数の電極パッド34を具えている第1の主表面36と、第2の主表面38とを有し、開口部22内に配置されている半導体チップ30と、第1の面20a上及び第1の主表面36上に形成されている絶縁膜40と、電極パッド34から基体枠20の第1の面20aの上側へと導出されている、複数の配線パターン42と、配線パターン42及び絶縁膜40上に形成されている封止部44と、基体枠20の上側を含む領域の配線パターン42上に設けられた複数の外部端子47とを具えている。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2002-325770
受付番号	50201692870
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月11日

<認定情報・付加情報>

【提出日】 平成14年11月 8日

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社